

Delay interpolator circuit and semiconductor integrated circuit having same

Patent Number: ■ [EP1093228](#)
Publication date: 2001-04-18
Inventor(s): TOMITA HIROYOSHI (JP)
Applicant(s): FUJITSU LTD (JP)
Requested Patent: ■ [JP2001111394](#)
Application Number: EP20000305502 20000630
Priority Number(s): JP19990290190 19991012
IPC Classification: H03L7/081; G11C7/22
EC Classification: H03L7/081A1, G11C7/22, H03K5/13D, H03K5/135
Equivalents: TW452967, ■ [US6369627](#)
Cited patent(s): [US5748125](#); [US5841325](#); [US5418498](#)

Abstract

A delay circuit (300) comprises a plurality of interpolators (300a) connected in cascade. Each of the interpolators (300a) receives a reference clock signal and a clock signal output from the preceding interpolator (300a). One of the interpolators (300a) generates a clock signal whose transition edge is between the transition edge of the reference clock signal and the transition edge of the clock signal. The subsequent interpolators (300a) operate as delay stages, thereby generating a delayed clock signal delaying from the reference clock signal by a predetermined time. With such a delay circuit, it is possible to make smaller the minimum unit of a delay adjustment to the delayed clock

signal by using the interpolators.



Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-111394

(P2001-111394A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl.⁷ 識別記号
H03K 5/135
G06F 1/10
H01L 27/04
21/822
H03L 7/00

FI テーマト (参考)
H03K 5/135 5B079
H03L 7/00 D 5F038
G06F 1/10 330A 5J001
H01L 27/04 F 5J106
U
審査請求 未請求 請求項の数5 OL (全59頁)

(21) 出願番号 特願平11-290190

(22) 出願日 平成11年10月12日 (1999.10.12)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番

1号

(72) 発明者 富田 浩由

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(74) 代理人 100072718

弁理士 古谷 史旺 (外1名)

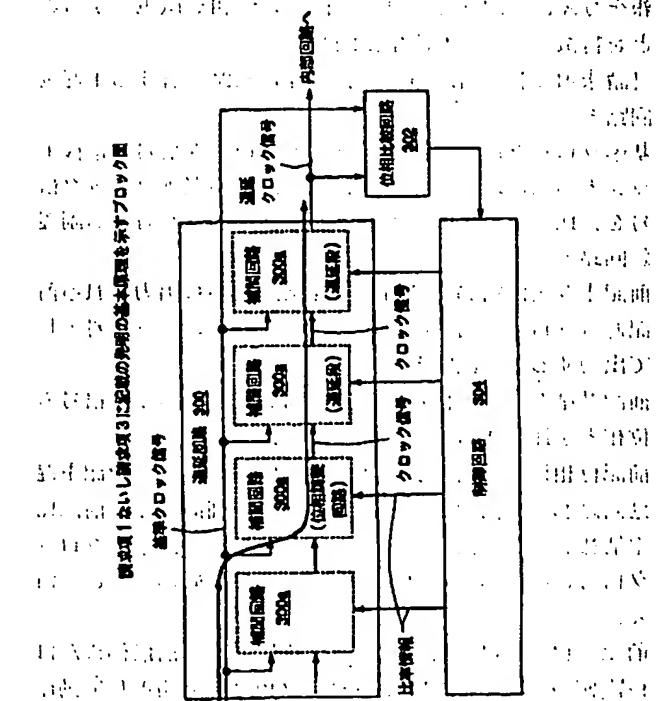
(54) 【発明の名称】 遅延回路および半導体集積回路

(57) 【要約】

【課題】 本発明は、遅延回路およびDLL回路を搭載した半導体集積回路に関し、クロック信号の遅延時間を精度よく調整し、位相比較を正しく行うことを目的とする。

【解決手段】 遅延回路は、位相調整回路または遅延段として動作する縦続接続された複数の補間回路を備えている。補間回路を使用しているため、遅延時間を精度よく調整できる。位相比較回路は、基準クロック信号の位相と遅延クロック信号の位相とを比較する。制御回路は、位相比較回路の比較結果に基づいて、各補間回路に比率情報をそれぞれ与えて、基準クロック信号と遅延クロック信号との位相を一致させる制御を行う。複数の補間回路を使用した遅延回路を制御して遅延クロック信号の位相の調整が行われるため、微調整の最小単位を小さくできる。すなわち、高い周波数の基準クロック信号が供給される半導体集積回路においても確実に位相が調整される。

最終頁に続く



【特許請求の範囲】

【請求項1】 基準クロック信号と前段からのクロック信号とを受ける縦続接続された複数の補間回路を備え、前記複数の補間回路の1つを、比率情報に応じて、前記基準クロック信号の遷移エッジと前記クロック信号の遷移エッジとの間に遷移エッジを有する位相の前記クロック信号を生成する位相調整回路として動作させ、該位相調整回路より後段側の前記補間回路の所定数を、前段からの前記クロック信号を所定時間遅れらせる遅延段として動作させ、前記基準クロック信号から所定時間遅れた遅延クロック信号を生成することを特徴とする遅延回路。

【請求項2】 請求項1記載の遅延回路と、前記基準クロック信号の位相と前記遅延クロック信号の位相とを比較する位相比較回路と、前記位相比較回路の比較結果に基づいて、前記遅延回路の前記各補間回路に前記比率情報をそれぞれ与え、前記基準クロック信号と前記遅延クロック信号との位相を一致させる制御を行う制御回路とを備えたことを特徴とする半導体集積回路。

【請求項3】 請求項2記載の半導体集積回路において、前記制御回路は、

位相比較の開始時に、前記位相比較回路の比較結果に応じて前記補間回路を前記位相調整回路または前記遅延段に切り替え、前記遅延クロック信号の位相を粗調整し、前記基準クロックと前記遅延クロック信号との位相差が前記遅延段の遅延時間以下になった後に、前記位相比較回路の比較結果に応じて前記位相調整回路に前記比率情報を与え、前記遅延クロック信号の位相を微調整することを特徴とする半導体集積回路。

【請求項4】 請求項1記載の遅延回路を有する主遅延回路と、基準クロック信号の遷移エッジとクロック信号の遷移エッジとの間に遷移エッジを有する位相の遅延クロック信号を、比率情報に応じて生成する補間回路を有する副遅延回路と、前記主遅延回路および前記副遅延回路から出力される前記遅延クロック信号のいずれかを内部クロック信号として出力する選択回路と、前記基準クロック信号の位相と前記内部クロック信号の位相とを比較する位相比較回路と、前記位相比較回路の前記比較結果に基づいて、前記主遅延回路および前記副遅延回路の前記各補間回路に前記比率情報を与え、前記基準クロック信号と前記遅延クロック信号との位相を一致させる制御を行う制御回路とを備え、前記選択回路は、前記主遅延回路における前段側または後段側の所定の補間回路が前記位相調整回路として動作しているときに、前記副遅延回路の遅延クロック信号を

選択することを特徴とする半導体集積回路。

【請求項5】 請求項4記載の半導体集積回路において、

縦続接続された複数の補間回路を有する調整遅延回路と、

前記調整遅延回路の前記補間回路を調整することで、前記主遅延回路および前記副遅延回路の各補間回路の最大遅延時間を、前記基準クロック信号の周期の整数分の1に調整する調整回路とを備えたことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、遅延回路およびクロック同期式の半導体集積回路に関し、特に、内部回路で使用する内部クロック信号を外部クロック信号に同期させるDLL (DelayLocked Loop) 回路を搭載した半導体集積回路に関する。

【0002】

【従来の技術】 クロック同期式の半導体集積回路として、SDRAM (Synchronous DRAM)、DDR-SDRAM (Double Data Rate-Synchronous DRAM) 等が知られている。この種の半導体集積回路では、外部から供給されるクロック信号に同期して内部回路を動作させ、データの入出力を行っている。一般に、半導体集積回路は、データの出力端子を複数備えている。これ等出力端子から出力される各出力データには、チップ上の回路レイアウトに依存する信号線の配線長により、スキューが発生する。スキューは、クロック周波数が高くなるほど相対的に大きくなる。近時、動作周波数が100MHzを超えるSDRAM、DDR-SDRAMが開発されており、上記スキューは、無視できなくなっている。

【0003】 このようなスキューを低減するため、DLL回路を搭載した半導体集積回路が開発されている。DLL回路は、内部回路で使用する内部クロック信号を外部からの基準クロック信号に対して所定の位相を調整する回路であり、例えば、特開平10-112182号公報に基本的な構成が開示されている。また、遅延時間の調整単位の粗いラフ用遅延回路と、遅延時間の調整単位の細かいファイン用遅延回路とを備えたDLL回路が提案されている。この種のDLL回路では、位相調整の精度を高め、同時に内部クロック信号の揺らぎ(ジッタ)を低減できる。

【0004】 図72は、本出願人により提案されたDLL回路を搭載した半導体集積回路の一例を示している。なお、図72に示した回路は、未だ公知ではない。この半導体集積回路は、外部から取り込んだクロック信号CLKを内部クロック信号ICLKとして出力する入力バッファ1と、内部クロック信号ICLKから所定時間遅延した内部クロック信号ICLK2を生成する遅延クロック生成部2と、メモリセル等から読み出されるデータ信号DATAを内部ク

ロック信号ICLK2に同期して出力データ信号DOUTとして出力する出力バッファ3と、遅延クロック生成部2を制御し、内部クロック信号ICLK2の位相をクロック信号CLKの位相に合わせる位相制御部4と、遅延クロック生成部2および位相制御部4の動作を同期させるスタート信号STARTを生成する開始信号発生器5とを備えている。

【0005】遅延クロック生成部2は、ラフ可変遅延回路6とファイン可変遅延回路7とを備えている。ラフ可変遅延回路6は、遅延時間の長い複数の遅延段（図示せず）を縦続接続して構成されており、遅延段の接続数に応じて遅延時間の大きな調整を行う回路である。ラフ可変遅延回路6は、ラフ遅延制御回路13の制御を受けて、遅延段の接続数を増加（シフトアップ）または減少（シフトダウン）する。

【0006】ファイン可変遅延回路7は、遅延時間の短い複数の遅延段（図示せず）を縦続接続して構成されており、これ等遅延段の接続数に応じて遅延時間の細かい調整を行う回路である。ファイン可変遅延回路7は、ファイン遅延制御回路15の制御を受けて、遅延段の接続数を増加（シフトアップ）または減少（シフトダウン）する。ファイン可変遅延回路7の遅延時間の最大値は、ラフ可変遅延回路6の遅延段1段分の遅延時間より若干大きくされている。

【0007】位相制御部4は、分周器8、9と、出力バッファ3と等価なダミー出力バッファ10と、入力バッファ1と等価なダミー入力バッファ11と、ラフ位相比較器12と、ラフ遅延制御回路13と、ファイン位相比較器14と、ファイン遅延制御回路15と、段数設定回路16と、段数検出回路17と、DLL制御回路18とを備えている。

【0008】分周器8は、内部クロック信号ICLKの周波数を分周して内部クロック信号/CLK1を生成し、ラフ位相比較器12およびファイン位相比較器14に出力している。ここで、クロック信号/CLK1等の“/”は、クロック信号CLKに対して論理が反転していることを示している。分周器9は、内部クロック信号ICLK2の周波数を分周して内部クロック信号ICLK3を生成し、ダミー出力バッファ10に出力している。分周器8、9の分周率は、例えば4分の1にされている。クロック信号ICLK、ICLK2を分周することで、高周波時の位相比較が容易にされるとともに消費電力が低減される。

【0009】ダミー出力バッファ10から出力された信号は、ダミー入力バッファ11に供給され内部クロック信号DICKとしてラフ位相比較器12およびファイン位相比較器14に出力されている。

【0010】段数設定回路16は、ラフ遅延制御回路6の遅延段の1段と等価な遅延回路、およびファイン可変遅延回路7と等価な遅延回路を有している。段数設定回路16は、ラフ可変遅延回路6の遅延段1段分の遅延時間が、ファイン可変遅延回路7の何段分に相当するかを

常に監視し、その段数を最大段数信号J2としてファイン遅延制御回路15および段数検出回路17に出力している。なお、最大段数信号J2は、半導体集積回路の動作電圧、周囲温度により変化する。

【0011】段数検出回路17は、ファイン可変遅延回路7の遅延段の使用段数である段数信号J1および最大段数信号J2を受け、段数信号J1が最大段数信号J2になったとき、および段数信号J1が最小値になったときに、それぞれ、オーバーフロー信号OF、およびアンダフロー信号UFを出力する機能を有している。DLL制御回路18は、ラフ位相比較器12から位相一致信号JSTRを受け、段数検出回路17からオーバーフロー信号OF、アンダフロー信号UPを受け、選択信号S1、S2、増加信号UP、減少信号DOWNを出力している。DLL制御回路18は、位相一致信号JSTRの非活性化時に、選択信号S1を活性化し、選択信号S2を非活性化し、位相一致信号JSTRの活性化時に、選択信号S1を非活性化し、選択信号S2を活性化する機能を有している。また、DLL制御回路18は、ファイン位相比較器14の動作時において、オーバーフロー信号OFを受けたときに、ラフ位相比較器12にシフトアップ信号UPを出力し、アンダフロー信号UFを受けたときに、ラフ位相比較器12にシフトダウン信号DOWNを出力する機能を有している。

【0012】ラフ位相比較器12は、活性化された選択信号S1を受け、内部クロック信号/CLK1と内部クロック信号DICKとの位相を比較し、比較結果をラフ遅延制御回路13に出力する回路である。ラフ位相比較器12は、内部クロック信号DICKと内部クロック信号/CLK1との位相が一致したときに位相一致信号JSTRを活性化する機能と、シフトアップ信号UPを受けたときにラフ可変遅延回路6をシフトアップする機能と、シフトダウン信号DOWNを受けたときにラフ可変遅延回路6をシフトダウンする機能と、ラフ可変遅延回路6をシフトアップおよびシフトダウンしたときにそれぞれリセット信号MIN、セット信号MAXを出力する機能とを有している。

【0013】ラフ遅延制御回路13は、ラフ位相比較器12での比較結果に基づいて、ラフ可変遅延回路6をシフトアップ、シフトダウンし遅延時間を調整する機能を有している。すなわち、ラフ遅延制御回路13は、内部クロック信号DICKの位相が内部クロック信号/CLK1の位相に対して進んでいる場合には、遅延段の接続数を1つ増加し、内部クロック信号DICKの位相が内部クロック信号/CLK1の位相に対して遅れている場合には、遅延段の接続数を1つ減少する。

【0014】ファイン位相比較器14は、活性化された選択信号S2を受け、内部クロック信号DICKと内部クロック信号/CLK1との位相を比較し、比較結果をファイン遅延制御回路15に出力する回路である。ファイン遅延制御回路15は、ファイン位相比較器14での比較結果に基づいて、ファイン可変遅延回路7をシフトアップ、

シフトダウンし、遅延時間を調整する機能を有している。すなわち、ファイン遅延制御回路15は、内部クロック信号DICLKの位相が内部クロック信号/CLKIの位相に対して進んでいる場合には、遅延段の接続数を1つ増加し、内部クロック信号DICLKの位相が内部クロック信号/CLKIの位相に対して遅れている場合には、遅延段の接続数を1つ減少する。また、ファイン遅延制御回路15は、リセット信号MINを受けたときに、ファイン可変遅延回路7の遅延段の接続数を最小にする機能と、セット信号MAXを受けたときに、ファイン可変遅延回路7の遅延段の接続数を最大段数信号J2と同一にする機能と、現在のファイン可変遅延回路7の遅延段の接続数を段数信号J1として出力する機能とを有している。

【0015】開始信号発生器5は、内部クロック信号ICLKを受け、開始信号STTを出力している。リセット信号/RESETの解除時に、内部クロック信号ICLKの立ち下がり同期して開始信号STTを活性化する回路である。遅延クロック生成部2および分周器8、9は、開始信号STTの活性化を受けて動作を開始する。図73は、上記各回路が行う位相調整の制御を示すフローチャートである。位相調整の制御は、リセット信号/RESETの解除により開始される。

【0016】まず、ステップS1では初期設定が行われる。図72に示した段数設定回路16は、ラフ可変遅延回路6の遅延段1段分の遅延時間が、ファイン可変遅延回路7の何段分に相当するかを求め、最大段数信号J2として出力する。また、位相制御部4が初期化され、ラフ可変遅延回路6、ファイン可変遅延回路7の遅延段の接続数が初期値に設定される。DLL制御回路18は、選択信号S1を活性化し、選択信号S2を非活性化する。

【0017】次に、ステップS2からステップS5で、ラフ可変遅延回路6の初期調整が行われる。ステップS2において、位相制御部4は、分周器8、9の分周率を4分の1に設定する。分周器8は、内部クロック信号ICLKを受け、分周した内部クロック信号/CLKIを出力する。分周器9は、内部クロック信号ICLK2を受け、分周した内部クロック信号ICLK3を出力する。

【0018】ステップS3において、ラフ位相比較器12は、内部クロック信号/CLKIと内部クロック信号DICLKとの位相を比較し、比較結果をラフ遅延制御回路13に出力する。このとき、ファイン位相比較器14は、非活性化された選択信号S2を受け、動作を停止している。ステップS4において、ラフ位相比較器12は、ラフ位相比較器12で比較した両信号の位相が一致したときに、位相一致信号JSTRを活性化する。DLL制御回路18は、位相一致信号JSTRを受けて選択信号S1を非活性化し、選択信号S2を活性化する。この後、制御は、ステップS6に移行する。ラフ位相比較器12で比較した両信号の位相が一致しないときには、制御は、ステップS5に移行する。

【0019】ステップS5において、ラフ遅延制御回路13は、ラフ位相比較器12の比較結果に応じてラフ可変遅延回路6をシフトアップまたはシフトダウンし、遅延時間を調整する。この後、制御は、再びステップS3に移行する。

【0020】次に、ステップS6からステップS15において、ラフ可変遅延回路6、ファイン可変遅延回路7を用いた位相調整が行われる。まず、ステップS6において、ファイン位相比較器14は、内部クロック信号/CLKIと内部クロック信号DICLKとの位相を比較し、比較結果をファイン遅延制御回路15に出力する。このとき、ラフ可変遅延回路6は、選択信号S1の非活性化を受け、動作を停止している。

【0021】ステップS7において、ファイン位相比較器14で比較した両信号の位相が一致したときには、制御は、再びステップS6に移行する。内部クロック信号DICLKの位相が内部クロック信号/CLKIの位相より進んでいるときには、制御は、ステップS8に移行する。内部クロック信号DICLKの位相が内部クロック信号/CLKIの位相より遅れているときには、制御は、ステップS12に移行する。

【0022】ステップS8において、段数検出回路17は、段数信号J1と最大段数信号J2とを比較する。段数信号J1が最大段数信号J2と等しいときには、繰り上げ処理が必要と判断され、制御は、ステップS10に移行する。段数信号J1が最大段数信号J2より小さいときには、繰り上げ処理は不要と判断され、制御は、ステップS9に移行する。

【0023】ステップS9において、ファイン遅延制御回路15は、ファイン可変遅延回路7を1段シフトアップし、内部クロック信号ICLK2の位相を遅らせる。ステップS10において、段数検出回路17は、オーバーフロー信号OFを出力する。DLL制御回路18は、オーバーフロー信号OFを受けて、シフトアップ信号UPを出力する。ラフ位相比較器12は、シフトアップ信号UPを受けて、ラフ可変遅延回路6を1段シフトアップし、リセット信号MINを出力する。

【0024】ステップS11において、ファイン遅延制御回路15は、リセット信号MINを受けて、ファイン可変遅延回路7の遅延段の接続数を最小に設定する。ステップS9、S11を実行した後、制御は、再びステップS6に移行する。

【0025】一方、ステップS12において、段数検出回路17は、段数信号J1が最小値であるかどうかを調べる。段数信号J1が最小値の場合には、繰り下げ処理が必要と判断され、制御は、ステップS14に移行する。段数信号J1が最小値でない場合には、繰り下げ処理は不要と判断され、制御は、ステップS13に移行する。ステップS13において、ファイン遅延制御回路15は、ファイン可変遅延回路7を1段シフトダウンし、内部クロ

ック信号ICLK2の位相を進める。

【0026】ステップS14において、段数検出回路11の出力信号UPは、アンダーフロー信号UFを出力する。DLL制御回路18は、アンダーフロー信号UFを受けて、シフトダウン信号DOWNを出力する。ラフ位相比較器12は、シフトダウン信号DOWNを受けて、ラフ可変遅延回路6を1段シフトダウンし、セット信号MAXを出力する。ステップS15において、ファイン遅延制御回路15は、セット信号MAXを受けて、ファイン可変遅延回路7の遅延段の接続数を最大に設定する。

【0027】ステップS13、S15を実行した後、制御は、再びステップS6に移行する。そして、ファイン可変遅延回路7の遅延段の遅延時間単位で位相調整が繰り返して行われる。すなわち、位相制御部4は、ラフ遅延制御回路13により大まかな位相調整を行った後、ファイン遅延制御回路15により細かい位相調整を行う。そして、内部クロック信号DCLKの位相が内部クロック信号/CLK1の位相に合わせられる。

【0028】図7.4は、位相調整時の主要な信号のタイミングを示している。図7.4では、位相調整が行われ、内部クロック信号/CLK1と内部クロック信号DCLKとの位相が一致している状態を示している。開始信号STTは、リセット信号/RESETが解除されレベルになった後、内部クロック信号ICLKの立ち下がり同期して活性化される(図7.4(a))。内部クロック信号ICLKは、クロック信号CLKの立ち上がりから図7.2に示した入力バッファ1の遅延時間T1だけ遅れて出力される(図7.4(b))。内部クロック信号ICLKは、分周器8により4分の1分周され、分周器8の遅延時間T2だけ遅れた内部クロック信号/CLK1として出力される(図7.4(c))。内部クロック信号ICLK2は、内部クロック信号ICLKの立ち上がりから遅延クロック生成部2の遅延時間T3だけ遅れて出力される(図7.4(d))。内部クロック信号ICLK2は、分周器9により4分の1分周され、分周器9の遅延時間T2だけ遅れた内部クロック信号ICLK3として出力される(図7.4(e))。分周器8、9の遅延時間T2は同一である。このため、内部クロック信号ICLK3の内部クロック信号/CLK1に対する遅れは、遅延クロック生成部2の遅延時間T3と等しくなる(図7.4(f))。内部クロック信号ICLK3は、ダミー出力バッファ10とダミー入力バッファ11の遅延時間T4だけ遅れて、内部クロック信号DCLKとして出力される(図7.4(g))。遅延時間T4は、入力バッファ1および出力バッファ3の遅延時間の合計に等しい。

【0029】したがって、内部クロック信号/CLK1と内部クロック信号DCLKとの位相が一致した状態では、内部クロック信号/CLK1の半周期(=クロック信号CLKの2周期)は、遅延クロック生成部2の遅延時間T3と、入力バッファ1および出力バッファ3の遅延時間T4との合計と同じになる(図7.4(h))。この合計時間T3+

T4は、クロック信号CLKが供給されてから出力データ信号DOUTが出力される時間と同一である。この結果、出力バッファ3から出力される出力データ信号DOUTの位相は、クロック信号CLKの位相に一致する(図7.4(i))。

【0030】

【発明が解決しようとする課題】ところで、図7.3に示したフローチャートのステップS8、S12において、DLL制御回路18が、「繰り上がり有り」および「繰り下がり有り」と判断した場合、位相制御部4は、それぞれ、ステップS10、S11およびステップS14、S15を実行する。この際、例えば、ステップS10、S11を処理中に、内部クロック信号ICLKが変化すると、遅延段の制御が正しく行われず内部クロック信号ICLK2のタイミングが大きくなるおそれがある。このため、ステップS10、S11の処理、およびステップS14、S15の処理は、内部クロック信号ICLKが高レベルの間、または低レベルの間に連続して行う必要がある。換言すると、繰り上がり時および繰り下がり時において、ラフ可変遅延回路6のシフト動作およびファイン可変遅延回路7のセット・リセット動作は、内部クロック信号ICLKが高レベルの間、または低レベルの間に連続して行う必要がある。

【0031】しかしながら、クロック信号CLKの周波数が高くなるにしたがい、このような制御に必要なタイミング余裕が減少している。特に、クロック信号CLKの周波数が100MHzを超える半導体集積回路では、制御が困難になってきている。また、上述した半導体集積回路では、段数設定回路16は、ラフ可変遅延回路6の遅延段の1段の遅延時間がファイン可変遅延回路7の何段分に相当するかを求めている。段数設定回路16は、ラフ可変遅延回路6の遅延段と等価な回路で構成されているため、実際のラフ可変遅延回路6の遅延段の1段の遅延時間に対して誤差を有している。この誤差により、内部クロック信号ICLK2には、ジッタが発生するおそれがある。

【0032】さらに、上述した半導体集積回路では、分周器8、9により分周したクロック信号をラフ位相比較器12およびファイン位相比較器14で比較している。しかしながら、半導体集積回路に低い周波数のクロック信号が供給される場合には、ラフ可変遅延回路6の遅延段が数多く必要なり、回路規模が増大するという問題があった。遅延段の数を低減するため、分周器8、9の分周率を下げると、高い周波数のクロック信号CLKが供給される場合に、ラフ位相比較器12およびファイン位相比較器14の動作が不安定になる。また、位相比較の頻度が多くなり、消費電力が増大する。

【0033】一方、遅延時間が可変な複数の遅延段を4段(または8段)縦続接続した遅延回路と、各遅延段から出力されるクロック信号のうち、隣接した2つのクロック信号を受け、内部クロック信号を生成する補間回路

と、内部クロック信号の位相と、外部クロック信号の位相とを比較する位相比較回路と、位相比較回路での比較結果に基づいて遅延回路および補間回路を制御する制御回路とを備えた位相調整回路が提案されている。

【0034】この位相調整回路では、各遅延回路は、外部クロック信号の周波数に応じて、各遅延段の遅延時間を調整し、位相が 90° （または 45° ）ずつずれたクロック信号を出力する。補間回路は、隣接する2つのクロック信号を受け、これ等クロック信号の間に位相を有するクロック信号を生成する。そして、位相比較回路および制御回路は、内部クロック信号の位相と、外部クロック信号の位相とが一致するように遅延回路および補間回路を制御する。

【0035】しかしながら、この種の位相調整回路では、位相の調整は、外部クロック信号の1周期分しか行うことができないという問題があった。特に、半導体集積回路に高い周波数の外部クロック信号が供給される場合、位相の調整範囲が狭くなってしまう。また、遅延段は、遅延時間を調整できるようにCR時定数回路等の余分な素子を配置しており、そのレイアウトサイズが大きかった。

【0036】本発明の目的は、遅延させるクロック信号の遅延時間を精度よく調整できる遅延回路を提供することにある。本発明の目的は、クロック信号の周波数に依存せず、常に位相比較を正しく行うことができる半導体集積回路を提供することにある。本発明の別の目的は、位相調整時に、内部クロック信号にジッタが発生することを防止することにある。

【0037】本発明の別の目的は、位相比較の回数を低減し、位相比較に必要な時間を低減することにある。本発明の別の目的は、位相比較に必要な回路の消費電力を低減することにある。

【0038】

【課題を解決するための手段】図1は、請求項1ないし請求項3に記載の発明の基本原理を示すブロック図である。

【0039】請求項1の遅延回路300は、縦続接続された複数の補間回路300aを備えている。各補間回路300aは、基準クロック信号と前段の補間回路300aから出力されるクロック信号とを受けている。補間回路300aの1つは、基準クロック信号の遷移エッジとクロック信号の遷移エッジとの間に遷移エッジを有する位相のクロック信号を生成する位相調整回路として動作する。位相調整回路より後段側の補間回路300aのうち所定数は、前段から出力されるクロック信号に対して所定時間遅れたクロック信号を生成する遅延段として動作する。そして、基準クロック信号から所定時間遅れた遅延クロック信号が生成される。

【0040】この遅延回路300では、補間回路300aを使用して遅延クロック信号の遅延時間が調整される

ため、調整の最小単位を小さくできる。すなわち、遅延クロック信号の遅延時間が、精度よく調整できる。請求項2の半導体集積回路では、位相比較回路302は、基準クロック信号の位相と遅延クロック信号の位相とを比較する。制御回路304は、位相比較回路の比較結果に基づいて、各補間回路300aに比率情報をそれぞれ与えて、基準クロック信号と遅延クロック信号との位相を一致させる制御を行う。複数の補間回路300aを使用した遅延回路300を制御して遅延クロック信号の位相の調整が行われるため、微調整の最小単位を小さくできる。すなわち、高い周波数の基準クロック信号が供給される半導体集積回路においても確実に位相が調整される。

【0041】請求項3の半導体集積回路では、制御回路304は、位相比較の開始時に位相比較回路302の比較結果に応じて遅延クロック信号の位相を粗調整する。制御回路304は、遅延クロック信号と基準クロック信号との位相差が遅延段として動作している遅延回路300aの遅延時間以下になった後に、位相比較回路302の比較結果に応じて、位相調整回路に比率情報を与えて遅延クロック信号の位相を微調整する。遅延クロック信号の位相調整を粗調整と微調整とに分けて行うことで、遅延クロック信号と基準クロック信号との位相を、少ない位相比較回数で早く一致させることができる。

【0042】図2は、請求項4および請求項5に記載の発明の基本原理を示すブロック図である。請求項4の半導体集積回路は、主遅延回路310と、副遅延回路312と、選択回路314と、位相比較回路316と、制御回路318とを備えている。主遅延回路310は、縦続接続された複数の補間回路300aを備えている。各補間回路300aは、基準クロック信号と前段の補間回路300aから出力されるクロック信号とを受けている。補間回路300aの1つは、基準クロック信号の遷移エッジとクロック信号の遷移エッジとの間に遷移エッジを有する位相のクロック信号を生成する位相調整回路として動作する。位相調整回路より後段側の補間回路300aのうち所定数は、前段から出力されるクロック信号に対して所定時間遅れたクロック信号を生成する遅延段として動作する。そして、主遅延回路310は、基準クロック信号から所定時間遅れた遅延クロック信号を生成する。

【0043】副遅延回路312は、基準クロック信号の遷移エッジとクロック信号の遷移エッジとの間に遷移エッジを有する位相のクロック信号を、比率情報に応じて生成する補間回路312aを備えている。選択回路314は、主遅延回路310および副遅延回路312から出力される遅延クロック信号のいずれかを内部クロック信号として出力する。また、選択回路314は、主遅延回路310における前段側または後段側の所定の補間回路300aが位相調整回路として動作しているときに、副

遅延回路312から出力される遅延クロック信号を選択する。

【0044】位相比較回路316は、基準クロック信号の位相と内部クロック信号の位相とを比較する。制御回路318は、位相比較回路316の比較結果に基づいて、主遅延回路310および副遅延回路312の各補間回路300a、312aに比率情報を与え、前記基準クロックと前記遅延クロック信号との位相を一致させる制御を行う。

【0045】ここで、副遅延回路312を備えているため、主遅延回路310の一端側の補間回路300aを位相調整回路として動作させ、この後、他端側の補間回路300aを位相調整回路として動作させるとき、一旦、副遅延回路312の補間回路312aを位相調整回路とすることが可能になる。このため、補間回路312aでも位相を調整しながら、主遅延回路310の補間回路300aが切り替えられる。このとき、選択回路314は、副遅延回路312から出力される遅延クロック信号を選択している。したがって、内部クロック信号は、補間回路300aの切り替え時の影響を受けない。この結果、内部クロック信号にジッタが発生することが防止される。

【0046】請求項5の半導体集積回路では、調整遅延回路320は、縦続接続された複数の補間回路320aを備えている。また、調整回路322は、調整遅延回路320の補間回路320aを調整することで、主遅延回路310および副遅延回路312における各補間回路300a、312aの最大遅延時間を、基準クロック信号の周期の整数分の1にする。したがって、例えば、1つの補間回路300aの最大遅延時間を基準クロック信号の4分の1(90°)に調整する場合、4つの補間回路300aで基準クロック信号の1周期分の位相が調整できる。位相の10°のずれと370°のずれは相対的に等しいため、この例では、最低4つの補間回路300aを使用することで、基準クロック信号の位相を調整できる。したがって、少ない補間回路300aで精度よく位相を調整できる。

【0047】

【発明の実施の形態】以下、本発明の遅延回路および半導体集積回路の第1の実施形態を図面を用いて説明する。この実施形態は、請求項1ないし請求項3に対応している。本発明の遅延回路は、半導体集積回路として形成されている。半導体集積回路は、シリコン基板上に、CMOSプロセス技術を使用して、例えば、DDR-SDRAMとして形成されている。DDR-SDRAMは、一般の半導体メモリと同様に、メモリコア部および周辺回路部を有している。メモリコア部には、複数のメモリセルを有するメモリセルアレイ、センスアンプ等が形成されている。このDDR-SDRAMは、外部から供給される相補のクロック信号の立ち上がりに同期してメモリセルから読み出したデー

タ信号を出力する機能を有している。

【0048】図3は、DDR-SDRAMにおけるクロック制御部30を示している。クロック制御部30は、開始信号発生器32、クロックバッファ34a、34b、遅延クロック生成部37、バッファ42、44、位相比較部46、ラフ/ファイン制御部48、ラフ制御部51、ファイン制御部52、およびD/Aコンバータ53を備えている。ラフ/ファイン制御部48、ラフ制御部51、ファイン制御部52、およびD/Aコンバータ53は、図1に示した制御回路304に対応している。

【0049】開始信号発生器32は、電源立ち上げ時、セルフリフレッシュモードからの解除時等に、チップ内で発生するリセット信号/RESETの非活性化を受け、所定のタイミングで開始信号STTをHレベルにする回路である。クロックバッファ34a、34bは、カレントミラー型の差動増幅回路により構成されている。クロックバッファ34a、34bは、クロック信号CLK、/CLKを受け、それぞれ内部クロック信号CLK-K、/CLK-Kを出力している。クロック信号CLK、/CLKは、基準クロック信号に対応している。なお、クロック信号/CLKの"/"の表記は、クロック信号CLKに対して逆の論理であることを示している。

【0050】遅延クロック生成部37は、内部クロック信号CLK-K、/CLK-K、制御信号A、B、C、D(以下、制御信号A-Dと略する場合もある)、制御電圧V1、V2、および開始信号STTを受け、内部クロック信号CLK1、/CLK1を出力している。バッファ42、44は、それぞれ、遅延クロック生成部37から出力される内部クロック信号CLK1、/CLK1の信号波形を整え、内部クロック信号CLK1、/CLK1として出力する回路である。内部クロック信号CLK1、/CLK1は、出力バッファ(図示せず)に供給され、データ信号の出力制御に使用されている。

【0051】位相比較部46は、開始信号STTおよび内部クロック信号CLK-K、CLK1を受け、内部クロック信号CLK-K、CLK1の位相を比較し比較結果信号COMPと、タイミング信号TIMを出力している。ラフ/ファイン制御部48は、比較結果信号COMP、タイミング信号TIM、ファイン制御部52からの最大信号MAX、最小信号MIN、ラフ制御部51からのラフシフト順番信号RSO、ラフシフト方向信号RSD、および開始信号STTを受け、ラフイネーブル信号REN、ファインイネーブル信号FEN、およびラフロックオン信号RLONを出力している。

【0052】ラフ制御部51は、ラフイネーブル信号REN、ラフロックオン信号RLON、最大信号MAX、最小信号MIN、および開始信号STTを受け、ラフシフト方向信号RSD、ラフシフト順番信号RSO、および制御信号A-Dを出力している。ファイン制御部52は、比較結果信号COMP、ファインイネーブル信号FEN、ラフシフト順番信号RSO、および開始信号STTを受け、最大信号MAX、最小信号MIN、およびカウンタ信号CNT3-CNT0を出力している。以

降、カウンタ信号CNT3-CNT0の値をカウンタ値と称する場合もある。

【0053】D/Aコンバータ53は、4ビットのカウンタ信号CNT3-CNT0を受け、受けたカウンタ値に応じた制御電圧V1を出力し、受けたカウンタ値の反転データに応じた制御電圧V2を出力している。図4は、遅延クロック生成部37の詳細を示している。遅延クロック生成部37は、遅延回路55、スイッチ回路59、およびシフトレジスタ63を備えている。

【0054】遅延回路55は、複数の補間回路39-1、39-2、...、39-nを備えている。補間回路39-1、39-2、...、39-nは、入力端子IN1、/IN1、IN2、/IN2、イネーブル端子EN、制御端子 α 、 β 、および出力端子OUT、/OUTを備えている。出力側から数えて奇数段目の補間回路39は、入力端子IN1、/IN1で内部クロック信号CLK-K、/CLK-Kをそれぞれ受け、入力端子IN2、/IN2で前段の補間回路39の出力（例えばCLK2、/CLK2）を受けている。出力側から数えて偶数段目の補間回路39は、入力端子IN2、/IN2で内部クロック信号CLK-K、/CLK-Kをそれぞれ受け、入力端子IN1、/IN1で前段の補間回路39の出力（例えばCLK3、/CLK3）を受けている。初段の補間回路39-nの入力端子IN1、/IN1は、接地線VSSに接続されている。最終段の補間回路39-1からは、内部クロック信号CLK1、/CLK1が出力されている。

【0055】また、補間回路39-1、39-2、...、39-nは、シフトレジスタ63から供給されるイネーブル信号E2、E3、...、Enをそれぞれイネーブル端子ENで受け、スイッチ回路59から供給される制御電圧 α 、 β をそれぞれ制御端子 α 、 β で受けている。なお、各補間回路39から出力される内部クロック信号（例えばCLK2、/CLK2）は、前段側の補間回路39に帰還されることはない。

【0056】スイッチ回路59は、遅延回路58の補間回路39-1、39-2、...、39-nにそれぞれ対応するスイッチ部61-1、61-2、...、61-nを備えている。各スイッチ部59は、同一の制御電圧V1、V2、VMAX、VMINを受けている。ここで、制御電圧VMAX、VMINは、D/Aコンバータ53が出力する最大電圧、最小電圧と同一であり、図示しない電圧発生回路で生成されている。また、各スイッチ部61-1、61-2、...、61-nは、スイッチ信号X1、Y1、Z1、スイッチ信号X2、Y2、Z2、...、スイッチ信号Xn、Yn、Znをそれぞれ受けている。

【0057】各スイッチ部61-1、61-2、...、61-nは、制御電圧 α 、 β を補間回路39-1、39-2、...、39-nにそれぞれ出力している。シフトレジスタ63は、制御信号A-Dおよび開始信号STTを受け、イネーブル信号E2、E3、...、En、En+1、およびスイッチ信号X1、Y1、Z1、X2、Y2、Z2、...、Xn、Yn、Znを出力している。

【0058】図5は、補間回路39の詳細を示してい

る。補間回路39は、入力信号IN1、/IN1（またはIN2、/IN2）を受け、出力信号OUT、/OUTを生成する2つの差動増幅回路で構成されている。各差動増幅回路は、カレントミラー回路等からなる定電流源39a、入力信号IN1、/IN1、IN2、/IN2を受けるnMOS39b、およびnMOS39bを接地線VSSに接続するnMOS39cを備えている。入力信号IN1、/IN1に対応するnMOS39cのゲートには、制御電圧 β が供給されている。入力信号IN2、/IN2に対応するnMOS39cのゲートには、制御電圧 α が供給されている。なお、制御電圧 α 、 β を受ける端子を制御端子 α 、 β とも称する。

【0059】図6は、スイッチ回路59の各スイッチ部61を示している。スイッチ部61は、制御電圧VMIN、V1、VMAXを受け、そのいずれかを制御電圧 α として出力する第1スイッチ部61aと、制御電圧VMIN、V2、VMAXを受け、そのいずれかを制御信号 β を出力する第2スイッチ部61bとを備えている。第1スイッチ部61aおよび第2スイッチ部61bは、pMOSおよびnMOSのソース・ドレインを互いに接続したCMOSスイッチ73aと、このCMOSスイッチ73aのpMOSに接続されたインバータ73bとからなる3つのスイッチ73で構成されている。なお、以降の説明では、制御電圧 α 、 β を出力する端子を制御端子 α 、 β とも称する。

【0060】第1スイッチ部61aでは、制御電圧VMINを受けるスイッチ73は、スイッチ信号Xで制御され、制御電圧V1を受けるスイッチ73は、スイッチ信号Yで制御され、制御電圧VMAXを受けるスイッチ73は、スイッチ信号Zで制御されている。第2スイッチ部61bでは、制御電圧VMINを受けるスイッチ73は、スイッチ信号Zで制御され、制御電圧V2を受けるスイッチ73は、スイッチ信号Yで制御され、制御電圧VMAXを受けるスイッチ73は、スイッチ信号Xで制御されている。

【0061】第1スイッチ部61aの各スイッチ73の出力端子は互いに接続されている。第2スイッチ部61bの各スイッチ73の出力端子は互いに接続されている。図7は、シフトレジスタ63の要部を示している。

【0062】シフトレジスタ63は、図4に示したスイッチ回路59のスイッチ部61-1、61-2、...に対応する複数の制御回路67-1、67-2、...、および制御回路69-1、69-2、...を備えている。各制御回路67-1は、2入力のNANDゲート67bと、インバータ67cと、nMOS67d、67e、67f、67gとを有している。NANDゲート67bの入力には、開始信号STTおよびインバータ67cの出力が供給されている。NANDゲート67bの出力からは、イネーブル信号E2、E3、...、Enが出力されている。インバータ67cの出力は、NANDゲート67bの入力、nMOS67fのドレイン、隣接する後段側（図の右側）の制御回路67が備えるnMOS67eのゲート、および制御回路69に接続されている。

【0063】nMOS67d、67eは、直列に接続されて

おり、nMOS 67 e のソースは、接地線 VSS に接続されている。nMOS 67 f、67 g は、直列に接続されており、nMOS 67 g のソースは、接地線 VSS に接続されている。nMOS 67 e のゲートは、隣接する前段側の制御回路 67 が備えるインバータ 67 c の出力に接続されている。nMOS 67 g のゲートは、隣接する後段側の制御回路 67 が備える NAND ゲート 67 b の出力に接続されている。最終段の制御回路 67 の nMOS 67 g のゲートは、電源線 VDD に接続されている。

【0064】nMOS 67 d、67 f のゲートには、それぞれ制御信号 A、C、あるいは制御信号 B、D が接続されている。すなわち、隣接する制御回路 67 には、制御信号 A、C および制御信号 B、D が交互に供給されている。また、各制御回路 67 は、2 入力の NAND ゲート 69 a と、2 入力の NOR ゲート 69 b、69 c と、インバータ 69 d、69 e、69 f とを有している。

【0065】NAND ゲート 69 a の入力は、制御回路 67 の NAND ゲート 67 b の出力と、隣接する前段側の制御回路 67 が備えるインバータ 67 c の出力とに接続されている。NOR ゲート 69 b の入力は、制御回路 67 の NAND ゲート 67 b の出力と、インバータ 69 d を介して隣接する前段側の制御回路 67 が備えるインバータ 67 c の出力とに接続されている。NOR ゲート 69 c の入力は、インバータ 69 e を介して制御回路 67 の NAND ゲート 67 b の出力と、隣接する前段側の制御回路 67 が備えるインバータ 67 c の出力とに接続されている。NAND ゲート 69 a からは、インバータ 69 f を介してスイッチ信号 Y1、Y2、... が出力されている。NOR ゲート 69 b からは、スイッチ信号 X1、X2、... が出力されている。NOR ゲート 69 c からは、スイッチ信号 Z1、Z2、... が出力されている。

【0066】シフトレジスタ 63 の動作については、後述するラフ初期調整のフローチャート（図 27 のステップ S6）で説明する。図 8 は、補間回路 39 に供給される内部クロック信号の入力波形と、補間回路 39 から出力される内部クロック信号の出力波形とを示している。ここで、補間回路 39 を正常に動作させるために、内部クロック信号 CLK-K、CLKn には互いに重なる期間 T1 が必要である。この実施形態では、前段の補間回路 39 およびクロックバッファ 34 a、34 b により、互いに重なる期間 T1 を有する緩やかな信号が生成される。

【0067】例えば、図 3 に示した D/A コンバータ 53 は、カウンタ値“ゼロ”を受けたときに、制御電圧 V1、V2 をそれぞれ制御電圧 VMIN、制御電圧 VMAX にする。なお、このとき、図 6 に示したスイッチ部 61 は、H レベルのスイッチ信号 Y を受けている。奇数段目の補間回路 39-1 は、この制御電圧 V1、V2 を制御端子 α 、 β でそれぞれ受けたときに、内部クロック信号 CLK-K とほぼ同一な位相の内部クロック信号 CLK1 を出力する（図 8 (a)）。また、偶数段目の補間回路 39-2 は、この制御

電圧 V1、V2 を制御端子 α 、 β でそれぞれ受けたときに、内部クロック信号 CLK3 とほぼ同一な位相の内部クロック信号 CLK2 を出力する（図 8 (b)）。なお、実際の動作では、出力波形の位相は、入力波形の位相に比べ補間回路 39 の伝搬遅延時間だけ遅れる。

【0068】また、D/A コンバータ 53 は、カウンタ値“4”を受けたときに、制御電圧 V1、V2 をそれぞれ“制御電圧 VMAX-制御電圧 VMIN”の 25%、75% にする。奇数段目の補間回路 39-1 は、この制御電圧 V1、V2 を制御端子 α 、 β でそれぞれ受けたときに、内部クロック信号 CLK2、CLK-K の位相差の 25% に相当する位相の内部クロック信号 CLK1 を出力する（図 8 (c)）。偶数段目の補間回路 39-2 は、この制御電圧 V1、V2 を制御端子 α 、 β でそれぞれ受けたときに、内部クロック信号 CLK3、CLK-K の位相差の 75% に相当する位相の内部クロック信号 CLK2 を出力する（図 8 (d)）。

【0069】同様に、カウンタ値を変えることで、各補間回路 39 から出力される内部クロック信号の位相は、16 通りに変更される。図 9 は、位相比較部 46 の詳細を示している。位相比較部 46 は、第 1 分周回路 82、第 2 分周回路 84、ダミー出力バッファ 86、ダミー入力バッファ 88、および位相比較回路 90 を備えている。

【0070】第 1 分周回路 82 は、内部クロック信号 CLK-K および開始信号 STT を受け、周波数を分周した参照クロック信号 REFCLK を位相比較回路 90 に出力している。第 2 分周回路 84 は、内部クロック信号 CLK1 および開始信号 STT を受け、周波数を分周したクロック信号を出力している。第 2 分周回路 84 により分周されたクロック信号は、ダミー出力バッファ 86、ダミー入力バッファ 88 に伝達され、内部クロック信号 D1CLK として位相比較回路 90 に出力されている。

【0071】位相比較回路 90 は、参照クロック信号 REFCLK および内部クロック信号 D1CLK の位相を比較し、比較結果信号 COMP およびタイミング信号 TIM を出力している。図 10 は、第 1 分周回路 82 および第 2 分周回路 84 を示している。第 1 分周回路 82 および第 2 分周回路 84 は、2 つの分周器 92 を直列に接続して構成されており、クロック信号の周波数を 4 分の 1 分周する回路である。

【0072】第 1 分周回路 82 は、内部クロック信号 CLK-K を前段の分周器 92 の入力端子 IN で受け、参照クロック信号 REFCLK を後段の分周器 92 の出力端子 OUT から出力している。前段の分周器 92 の出力端子 OUT は、後段の分周器 92 の入力端子 IN に接続されている。制御端子 STT1 と後段の分周器 92 の制御端子 STT2 には、開始信号 STT が供給されており、前段の分周器 92 の制御端子 STT2 と後段の分周器 92 の制御端子 STT1 には、電源線 VDD が接続されている。

【0073】第 2 分周回路 84 は、内部クロック信号 CL

KIを前段の分周器92の入力端子INで受け、内部クロック信号DICKを後段の分周器92の出力端子OUTから出力している。前段の分周器92の出力端子OUTは、後段の分周器92の入力端子INに接続されている。各分周器92の制御端子STT1には、開始信号STTが供給されており、制御端子STT2には、電源線VDDが接続されている。

【0074】図11は、分周器92の詳細を示している。分周器92は、3入力のNANDゲート92a、92bからなる第1ラッチ94と、入力端子から供給されるクロック信号の立ち上がりに同期して第1ラッチ回路の状態を第2ラッチ98に伝達する4入力のNANDゲート92cおよび2入力のNANDゲート92dと、3入力のNANDゲート92e、92fからなる第2ラッチ96と、入力端子から供給されるクロック信号の立ち下がりに同期して第2ラッチ96の状態を第1ラッチ94に伝達する2入力のNANDゲート92g、92hと、NANDゲート92g、92hにクロック信号の反転論理を供給するインバータ92iと、分周したクロック信号の出力を制御する直列に接続されたpMOS92jおよびnMOS92k、92lと、2入力のNANDゲート92m、92nからなる出力ラッチ98と、インバータ92o、92p、92qからなる出力回路100とで構成されている。

【0075】NANDゲート92aの出力（ノードN2）は、NANDゲート92b、92cの入力に接続されている。NANDゲート92bの出力（ノードN3）は、NANDゲート92a、92dの入力およびnMOS92kのゲートに接続されている。NANDゲート92cの出力（ノードN0）は、NANDゲート92eの入力およびpMOS92jのゲートに接続されている。NANDゲート92dの出力（ノードN1）は、NANDゲート92fの入力に接続されている。NANDゲート92eの出力（ノードN7）は、NANDゲート92f、92gの入力に接続されている。NANDゲート92fの出力（ノードN8）は、NANDゲート92e、92hの入力に接続されている。NANDゲート92gの出力（ノードN5）は、NANDゲート92bの入力に接続されている。NANDゲート92hの出力（ノードN6）は、NANDゲート92aの入力に接続されている。インバータ92iの出力（ノードN4）は、NANDゲート92g、92hの入力に接続されている。NANDゲート92mの出力は、NANDゲート92nの入力に接続されている。NANDゲート92nの出力は、NANDゲート92mの入力、トランジスタ92j、92kのドレインに接続されている。また、NANDゲート92nの出力は、インバータ92o、92pを介して出力信号OUTとして、インバータ92qを介して出力信号/OUTとして出力されている。

【0076】入力端子INは、NANDゲート92c、92d、インバータ92i、nMOS92kのゲートに接続されている。制御端子STT1は、NANDゲート92b、92c、92e、92mに接続されている。制御端子STT2は、NANDゲート92a、92c、92f、92nに接続されて

いる。トランジスタ92j、92lのソースは、それぞれ、電源線VDD、接地線VSSに接続されている。

【0077】図12および図13は、分周器92の基本的な動作を示している。図12は、制御端子STT2がHレベルに固定されたときの動作を示している。初期状態においては、図11に示したNANDゲート92dおよびインバータ92iは、活性化されており、入力端子INから供給されるクロック信号がノードN1、N4に伝達されている。制御端子STT1にHレベルが供給されることでNANDゲート92d、92fが活性化され、クロック信号の立ち上がりに同期してノードN1がLレベルになる。ノードN1のLレベルにより、ノードN8はHレベルになり、ノードN7はLレベルになる（図12(a)）。

【0078】ノードN8のHレベルによりNANDゲート92a、hが活性化され、クロック信号の立ち下がりに同期してノードN6がLレベルになる。ノードN6のLレベルにより、ノードN2がHレベルになり、ノードN3がLレベルになる（図12(b)）。ノードN2のHレベルによりNANDゲート92cが活性化され、クロック信号の立ち上がりに同期してノードN0がLレベルになる。ノードN0のLレベルにより、ノードN7がHレベルになり、ノードN8がLレベルになる（図12(c)）。

【0079】また、ノードN0のLレベルにより、トランジスタ92jがオンし、ノードN9がHレベルになる（図12(d)）。ノードN7のHレベルによりNANDゲート92gが活性化され、クロック信号の立ち下がりに同期してノードN5がLレベルになる。ノードN5のLレベルにより、ノードN3がHレベルになり、ノードN2がLレベルになる（図12(e)）。

【0080】この後、上述した動作が繰り返され、出力ノードであるノードN9には、供給されたクロック信号の1/2の周波数を2分の1分周したクロック信号が生成される。図13は、制御端子STT1がHレベルに固定されたときの動作を示している。初期状態においては、図11に示したNANDゲート92hおよびインバータ92iは、活性化されており、入力端子INから供給されるクロック信号がノードN4、N6に伝達されている。制御端子STT2にHレベルが供給されることでNANDゲート92cが活性化され、クロック信号の立ち上がりに同期してノードN0がLレベルになる。ノードN0のLレベルにより、ノードN7はLレベルになり、ノードN8はHレベルになる（図13(a)）。

【0081】ノードN8のHレベルによりNANDゲート92gが活性化され、クロック信号の立ち下がりに同期してノードN5がLレベルになる。ノードN5のLレベルにより、ノードN3がHレベルになり、ノードN2がLレベルになる（図13(b)）。ノードN3のHレベルによりトランジスタ92kがオンする。ノードN3のHレベルによりNANDゲート92dが活性化され、クロック信号の立ち上がりに同期してノードN1がLレベルになる。ノードN1のL

レベルにより、ノードN8がHレベルになり、ノードN7がLレベルになる(図13(c))。

【0082】また、クロック信号の立ち上がり同期してトランジスタ921がオンし、ノードN9はLレベルになる(図13(d))。ノードN8のHレベルによりNANDゲート92hが活性化され、クロック信号の立ち下がり同期してノードN6がLレベルになる。ノードN6のLレベルにより、ノードN2がHレベルになり、ノードN3がLレベルになる(図13(e))。

【0083】この後、上述した動作が繰り返され、供給されたクロック信号の周波数を2分の1分周したクロック信号が出力ノードであるノードN9に生成される。上述したように、制御信号STT1を制御することで、立ち上がりから始まる分周信号が生成され、制御信号STT2を制御することで、立ち下がりから始まる分周信号が生成される。

【0084】図14は、位相比較回路90の詳細を示している。位相比較回路90は、パルス発生回路102と、フリップフロップ104、106と、タイミング生成回路108とを備えている。パルス発生回路102は、内部クロック信号DICLK、参照クロック信号REFCLKを受ける2入力のNANDゲート102aと、NANDゲート102aの出力に接続された遅延回路102bと、NANDゲート102aの出力および遅延回路102bの出力を受ける2入力のNORゲート102cとで構成されている。遅延回路102bは、3つのインバータの間にMOS容量を接続して構成されている。パルス発生回路102は、内部クロック信号DICLKと参照クロック信号REFCLKとがともにHレベルになったときに、Hパルスを発生する回路である。

【0085】フリップフロップ104は、2入力のNANDゲート104a、104bの出力を互いに帰還させて構成されている。NANDゲート104a、104bの入力には、内部クロック信号DICLK、参照クロック信号REFCLKが供給されている。フリップフロップ104は、クロック信号DICLK、REFCLKのうち、早く立ち上がった側の出力をLレベルにする回路である。

【0086】フリップフロップ106は、出力を互いに帰還させた2入力のNANDゲート106a、106bと、NANDゲート106a、106bの入力に接続された2入力のNANDゲート106c、106dとで構成されている。NANDゲート106c、106dの一方の入力には、パルス発生回路102の出力が接続されている。NANDゲート106c、106dの他方の入力には、それぞれNANDゲート104a、104bの出力が接続されている。NANDゲート106bの出力からは、比較結果信号COMPが出力されている。フリップフロップ106は、内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいるときに比較結果信号COMPをHレベルにし、内部クロック信号DICLKの位相が参照クロック信号R

EFCLKの位相より遅れているときに比較結果信号COMPをLレベルにする回路である。

【0087】タイミング生成回路108は、NANDゲートとインバータとからなる遅延回路108aと、参照クロック信号REFCLKと遅延回路108aとを受ける2入力のNANDゲート108bと、NANDゲート108bの出力に直列に接続されたインバータ108c、108dとで構成されている。インバータ108dの出力からは、タイミング信号TIMが出力されている。タイミング生成回路108は、参照クロック信号REFCLKの立ち上がりから遅延回路108の遅延時間だけ遅れて立ち上がるタイミング信号TIMを生成する回路である。

【0088】図15は、ラフ/ファイン制御部48の詳細を示している。ラフ/ファイン制御部48は、NANDゲートおよびインバータで構成されラフイネーブル信号RENまたはファインイネーブル信号FENを活性化する組み合わせ回路110と、ラフシフト方向信号RSDの情報を保持するシフト方向保持回路112と、EOR回路114と、ラフロックオン信号RLONを出力するロックオン生成回路116とを備えている。

【0089】組み合わせ回路110は、図16に示す制御状態図にしたがい、ラフイネーブル信号RENまたはファインイネーブル信号FENを活性化する回路である。例えば、組み合わせ回路110は、ラフロックオン信号RLONがLレベルのときに、タイミング信号TIMに同期してファインイネーブル信号FENを活性化する。組み合わせ回路110は、ラフロックオン信号RLON、ラフシフト順番信号RSO、最大信号MAX、比較結果信号COMPとともにHレベルのときには、タイミング信号TIMに同期してラフイネーブル信号RENを活性化する。

【0090】シフト方向保持回路112は、pMOSおよびnMOSのソース・ドレインを互いに接続したCMOSスイッチ112a、112bと、2つのインバータの入力と出力とを互いに接続したラッチ112c、112dとを交互に直列に接続した保持部と、CMOSスイッチ112a、112bを制御するインバータ112eとを備えている。CMOSスイッチ112a、112bは、タイミング信号TIMにより制御されている。シフト方向保持回路112は、タイミング信号TIMの立ち上がり同期してラフシフト方向信号RSDを取り込み、保持する回路である。

【0091】EOR回路114は、現在のラフシフト方向信号RSDとシフト方向保持回路112から出力される1クロック前のラフシフト方向信号RSDとの状態を比較する回路である。ロックオン生成回路116は、2つの2入力のNORゲート116a、116bの出力を互いに帰還したフリップフロップと、NORゲート116bの入力に接続されたインバータ列116cと、NORゲート116bの出力に接続されたインバータ列116dとで構成されている。NORゲート116aの入力には、EOR回路114の出力が接続され、インバータ列116cの入力に

は、2つのインバータを介して開始信号STTが供給されている。インバータ列116dの出力からはラフロックオン信号RLONが出力されている。

【0092】図17は、ラフ制御部51の詳細を示している。ラフ制御部51は、ラフコントロール118と、ラフシフトラッチ120と、シフト方向ラッチ122とで構成されている。ラフコントロール118は、ラフロックオン信号RLON、ラフシフト順番信号RSO、ラファイネーブル信号REN、比較結果信号COMP、最大信号MAX、最小信号MINを受け、第1、第2シフトレジスタ60、64のシフト動作時にHパルスを発生するシフト通知信号SINF、第1、第2シフトレジスタ60、64のシフト制御する元の信号の制御信号A、B、C、Dを出力している。

【0093】ラフシフトラッチ120は、開始信号STTおよびシフト通知信号SINFを受け、ラフシフト順番信号RSOを出力している。シフト方向ラッチ122は、開始信号STTおよび制御信号A、B、C、Dを受け、ラフシフト方向信号RSDを出力している。図18は、ラフコントロール118の詳細を示している。

【0094】ラフコントロール118は、NANDゲートおよびインバータで構成された組み合わせ回路126と、分周回路128と、制御信号A、B、C、Dを生成する制御回路130と、制御信号A、B、C、DのいずれかのHレベルを受けてシフト通知信号SINFを生成する4入力のOR回路132とで構成されている。組み合わせ回路126は、図19に示す制御状態図にしたがい、進み信号FWまたは遅れ信号BWを活性化する回路である。例えば、組み合わせ回路126は、ラフロックオン信号RLON、比較結果信号COMPがともにLレベルのときに、進み信号FWを活性化する。組み合わせ回路126は、ラフロックオン信号RLON、ラフシフト順番信号RSO、最大信号MAX、比較結果信号COMPがともにHレベルのときに、遅れ信号BWを活性化する。組み合わせ回路126は、ラフロックオン信号RLON、ラフシフト順番信号RSOがHレベル、最大信号MAX、最小信号MINがLレベルのときには、進み信号FW、遅れ信号BWをともに非活性化する。

【0095】分周回路128は、8つの2入力のNANDゲート組み合わせたフリップフロップ回路を、2段縦続接続して構成されている。分周回路128は、ラファイネーブル信号RENの周波数を2分の1分周し、ラファイネーブル信号RENと同じH期間のパルス信号をノードN10とノードN11とに交互に出力する回路である。制御回路130は、2入力のNANDゲートと3つのインバータを縦続接続したAND回路130a、130b、130c、130dを備えている。AND回路130aは、ノードN10のパルス信号と遅れ信号BWを受け、制御信号Dを出力している。AND回路130bは、ノードN11のパルス信号と遅れ信号BWを受け、制御信号Cを出力している。AND回路130cは、ノードN10のパルス信号と進み信号FWを受け、制御信号Bを出力している。AND回路130dは、ノードN11

のパルス信号と進み信号FWを受け、制御信号Aを出力している。

【0096】図20は、ラフコントロール118の動作タイミングの概要を示している。まず、ラファイネーブル信号RENがLレベルを保持している場合について説明する。図18に示したラフコントロール118の分周回路128は、ラファイネーブル信号RENのLレベルを受け、制御回路130は、ノードN10、N11をLレベルにする(図20(a))。制御回路130は、ノードN10、N11をLレベルを受け、制御信号A、B、C、DをLレベルにする(図20(b))。すなわち、ラファイネーブル信号RENがLレベルのときには、進み信号FW、遅れ信号BWのレベルによらず、制御信号A、B、C、DはLレベルになる。

【0097】次に、ラファイネーブル信号RENがクロックAのパルスを発生している場合について説明する。分周回路128は、ラファイネーブル信号RENの2分の1分周したクロック信号をノードN10、N11に交互に出力する(図20(c))。制御回路130は、ノードN10、N11のクロック信号および組み合わせ回路126からの進み信号FW、遅れ信号BWのレベルに応じて、Hパルスの制御信号A、B、C、Dを出力する。すなわち、制御回路130は、進み信号FWがHレベル、遅れ信号BWがLレベルのときに、ノードN11のクロック信号に同期して制御信号AをHレベルにし、ノードN10のクロック信号に同期して制御信号BをHレベルにする(図20(d))。制御回路130は、進み信号FWがLレベル、遅れ信号BWがHレベルのときに、ノードN11のクロック信号に同期して制御信号CをHレベルにし、ノードN10のクロック信号に同期して制御信号DをHレベルにする(図20(e))。

【0098】OR回路132は、制御信号A、B、C、DのHレベルを受けて、シフト通知信号SINFをHレベルにする(図20(f))。図21は、ラフシフトラッチ120の詳細を示している。ラフシフトラッチ120は、pMOSおよびnMOSのソース・ドレインを互いに接続したCMOSスイッチ120a、120bと、インバータと2入力のNANDゲートの入力と出力とを互いに接続したラッチ120c、120dとを交互に直列に接続した保持部と、CMOSスイッチ120a、120bを制御するインバータ120eと、保持部の出力を入力に帰還するためのインバータ120fと、2入力のNANDゲートを制御するインバータ列120gとを備えている。保持部の出力からは、ラフシフト順番信号RSOが出力されている。CMOSスイッチ120a、120bは、シフト通知信号SINFにより制御されている。インバータ列120gの入力には、開始信号STTが供給されている。ラフシフトラッチ120は、シフト通知信号SINFの立ち上がりに同期してラフシフト順番信号RSOを交互にHレベル、Lレベルにする回路である。

【0099】図22は、シフト方向ラッチ122の詳細を示している。シフト方向ラッチ122は、2入力のNA

NORゲート122a、122bの出力を互いに帰還させたフリップフロップ回路と、そのフリップフロップ回路の各入力にそれぞれ接続された2入力のNORゲート122c、122dとで構成されている。NORゲート122cの入力には、制御信号C、Dが供給されている。NORゲート122dの入力には、制御信号A、Bが供給されている。NORゲート122bの出力からは、ラフシフト方向信号RSDが出力されている。シフト方向ラッチ122aは、制御信号C、DがHレベルになったときにラフシフト方向信号RSDをLレベルにし、制御信号A、BがHレベルになったときに、ラフシフト方向信号RSDをHレベルにする回路である。

【0100】図23は、ファイン制御部52を示している。ファイン制御部52は、ファインコントロール134、2進カウンタ136、最大最小検出器138を備えている。

【0101】ファインコントロール134は、ラフシフト順番信号RSO、比較結果信号COMP、およびファインイネーブル信号FENを受け、カウントアップ信号UPおよびカウントダウン信号DOWNを出力している。2進カウンタ136は、カウントアップ信号UPを受けたときに、内蔵のカウンタを増加させ、カウントダウン信号DOWNを受けたときに、内蔵のカウンタを減少させる。2進カウンタ136は、4ビットカウンタとして構成されており、各ビットの値を、カウンタ信号CNT3-CNT0として出力している。ここで、カウンタ信号CNT3が上位ビットに対応している。

【0102】最大最小検出器138は、カウンタ値が最大(全てのビットがHレベル)になったときに最大信号MAXを出力し、カウンタ値が最小(ゼロ)になったときに最小信号MINを出力する回路である。図24は、ファインコントロール134の詳細を示している。ファインコントロール134は、NANDゲートおよびインバータで構成された組み合わせ回路を備えている。ファインコントロール134は、図25に示す制御状態図にしたがい、カウントアップ信号UPおよびカウントダウン信号DOWNを出力する回路である。例えば、カウントアップ信号UPおよびカウントダウン信号DOWNは、ファインイネーブル信号FENがLレベルのときにともに非活性化される。カウントアップ信号UPは、ファインイネーブル信号FEN、ラフシフト順番信号RSO、比較結果信号COMPがHレベルのとき、およびファインイネーブル信号FENがHレベル、ラフシフト順番信号RSO、比較結果信号COMPがLレベルのときに活性化される。カウントダウン信号DOWNは、ファインイネーブル信号FEN、ラフシフト順番信号RSOがHレベル、比較結果信号COMPがLレベルのとき、およびファインイネーブル信号FEN、比較結果信号COMPがHレベル、ラフシフト順番信号RSOがLレベルのときに活性化される。

【0103】上述した半導体集積回路では、以下示すよ

うに、内部クロック信号CLKIの位相が調整される。なお、以降では、正論理のクロック信号(CLK-K、CLKI等)について説明し、負論理のクロック信号(/CLK-K、/CLKI等)についての説明は省略する。負論理のクロック信号のタイミングは、位相が180°ずれていることを除き、正論理のクロック信号のタイミングと同一である。

【0104】図26は、上述した各回路が行う位相調整の制御を示すフローチャートである。位相調整の制御は、リセット信号/RESETの解除により開始される。初期設定(図27)の後、ラフ初期調整(図27)、ファイン初期調整(図28、29)、ラフ/ファイン調整(図30、31)が順次行われる。ラフ初期調整、ファイン初期調整は、粗調整に対応し、ラフ/ファイン調整は微調整に対応している。

【0105】(a)初期設定(図27) まず、ステップS1において、図3および図4に示した、開始信号STTが供給されている遅延クロック生成部37のシフトレジスタ63、ラフ/ファイン制御部48、ラフ制御部51のラフシフトラッチ120、ファイン制御部52の2進カウンタ136、位相比較部46の第1、第2分周回路82、84の初期化が行われる。

【0106】図32は、開始信号発生器32の動作を示している。開始信号発生器32は、リセット信号/RESETの非活性化を受けた後、内部クロック信号CLK-Kの立ち下がり同期して開始信号STTをHレベルにする。このため、位相比較の開始時に、遅延クロック生成部37、位相比較部46等は、互いに同期して動作を開始し、常に所定の状態から位相比較が開始される。また、例えば、第1分周回路82において、内部クロック信号CLK-KのHレベル期間が開始信号STTによりマスクされ、ハザードとなることが防止され、位相比較の開始時に誤動作することが防止される。

【0107】リセット信号/RESETの非活性化は、半導体集積回路が内蔵するモードレジスタからのDLL開始信号、DLLリセット解除信号、電源立ち上げ完了の検出信号等を受けて行われる。

【0108】シフトレジスタ63(図7)は、開始信号STTのHレベルを受けて活性化され、制御信号A、B、C、Dを受け付け可能になる。ファイン制御部52の2進カウンタ136(図23)は、開始信号STTのHレベルを受け、カウンタを中央の値C(3:0)=(1,0,0,0)に設定する。D/Aコンバータ53は、このカウンタ値(1,0,0,0)を受け、制御電圧V1、V2を制御電圧VMAXと制御電圧VMINとの中間に値にする。すなわち制御電圧V1、V2は、ほぼ同じ電圧になる。ラフ/ファイン制御部48(図15)は、初期化により、ラフロックオン信号RLONをLレベルにする。ラフシフトラッチ120は、初期化により、ラフシフト順番信号RSOをLレベルにする。

【0109】第1、第2分周回路82、84(図10)

は、開始信号STTのHレベルを受けて、各分周器92を活性化する。図33は、位相比較部46での各クロック信号のタイミングを示している。第1分周回路82は、内部クロック信号CLK-Kを受けた後、5クロックで参照クロック信号REFCLKの出力を開始する。第2分周回路84は、内部クロック信号CLKIを受けた後、3クロックで分周した信号を出力する。図33では、遅延クロック生成部37での遅延時間の設定が最小の場合を示している。第2分周回路84の出力した信号は、ダミー出力バッファ86およびダミー入力バッファ88に供給され、遅延時間T5だけ遅れた内部クロック信号DICKLが生成される。そして、参照クロック信号REFCLKと内部クロック信号DICKLとの位相が比較される。

【0110】第1、第2分周回路82、84の動作を開始信号STTに同期して行うことで、常に、所定の位相差を有する状態で位相調整が開始される。次に、ステップS2において、遅延クロック生成部37の初期設定が行われる。まず、図3に示したラフ制御部51が動作し、図7に示したシフトレジスタ63は、スイッチ信号(X1、Y1、Z1)、(X2、Y2、Z2)、(X3、Y3、Z3)と(X4、Y4、Z4)、(X5、Y5、Z5)、...のレベルをそれぞれ(L、L、L)、(L、L、H)、(L、L、H)、(L、H、L)、(H、L、L)、...にする。このとき、イネーブル信号E2、E3、E4はHレベルになり、イネーブル信号E5、E6、...はLレベルになる。このため、補間回路39-1、39-2、39-3、39-4が活性化される。使用しない補間回路39-5、39-6、...、39-nは活性化されないため、消費電力が低減される。

【0111】なお、遅延クロック生成部37の初期設定は、図示しない初期回路により強制的に行ってもよい。図34は、初期設定後の各補間回路39の状態を示している。補間回路39-5、39-6、...、39-nは、上述したように動作を停止している。補間回路39-4に対応するスイッチ部61-4(図4、図6)は、スイッチ信号X4のHレベルを受けて、制御端子α、βから制御電圧VMIN、制御電圧VMAXを出力する。補間回路39-4は、制御電圧VMIN、制御電圧VMAXを制御端子α、βで受け、内部クロック信号CLK4を出力する(図34(a))。ここで、内部クロック信号CLK4の位相は、内部クロック信号CLK-Kの位相より補間回路39-4の伝搬遅延時間Delayだけ遅れている。なお、補間回路39-5は非活性化されているため、補間回路39-4の入力端子IN2、/IN2には、例えば、Lレベルに固定された内部クロック信号CLK5が供給される。また、補間回路39-6も非活性化されているため、補間回路39-5の入力端子INIには、例えば、Hレベルが供給される。

【0112】補間回路39-3に対応するスイッチ部61-3(図4、図6)は、スイッチ信号Y3のHレベルを受けて、制御端子α、βから制御電圧V1、V2を出力する。制御電圧V1、V2は、上述したように制御電圧VMAXと制御電

圧VMINの中間値にされている。補間回路39-3は、制御電圧V1、V2を制御端子α、βで受け、入力端子IN2に供給される内部クロック信号CLK-Kと、入力端子INIに供給される内部クロック信号CLK4のほぼ中間の位相の内部クロック信号CLK3を出力する(図34(b))。

【0113】補間回路39-2に対応するスイッチ部61-2(図4、図6)は、スイッチ信号Z2のHレベルを受けて、制御端子α、βから制御電圧VMAX、制御電圧VMINを出力する。補間回路39-2は、制御電圧VMAX、制御電圧VMINを制御端子α、βで受け、内部クロック信号CLK2を出力する(図34(c))。ここで、内部クロック信号CLK2の位相は、内部クロック信号CLK3の位相より補間回路39-2の伝搬遅延時間Delayだけ遅れている。すなわち、補間回路39-2は、遅延回路として動作する。

【0114】同様に、補間回路39-1は、制御電圧VMAX、制御電圧VMINを制御端子α、βで受け、遅延回路として動作し、内部クロック信号CLK1を出力する(図34(d))。この結果、遅延回路55は、初期設定後に、補間回路39-3で調整された時間TC、および補間回路39-2、39-1の伝搬遅延時間Delayだけ遅らせた内部クロック信号CLK-Kを内部クロック信号CLKIとして出力する。なお、制御電圧V1、V2を受けている補間回路39-5は、位相調整回路として動作し、制御電圧VMAX、制御電圧VMINを受けている補間回路39-6は、遅延回路として動作する。補間回路39-1は、位相調整回路として動作する補間回路39-1のクロック信号を伝達する。

【0115】(b)ラフ初期設定(図27) 図27(a) 図27(b) まず、ステップS3において、図9に示した位相比較回路90は、参照クロック信号REFCLKと内部クロック信号DICKLとの位相を比較する。内部クロック信号DICKLの位相が参照クロック信号REFCLKの位相より進んでいる場合には、比較結果信号COMPはHレベルになる。比較結果信号COMPのHレベルにより、この後、内部クロック信号DICKLを遅らせる制御が行われる。内部クロック信号DICKLの位相が参照クロック信号REFCLKの位相より遅れている場合には、比較結果信号COMPはLレベルになる。比較結果信号COMPのLレベルにより、この後、内部クロック信号DICKLの位相を進める制御が行われる。

【0116】ステップS4において、図15に示したラフ/ファイン制御部48は、EOR回路114を使用し、シフト方向保持回路112に保持されている情報(前回のシフト方向)と、現在のシフト方向とが一致しているかを比較する。ステップS5において、シフト方向の比較結果が一致している(シフト方向が同じ)場合、制御はステップS6に移行する。比較結果が不一致(シフト方向が変化)の場合、内部クロック信号DICKLの位相が参照クロック信号REFCLKの位相に近づいたと判断し、ラフ初期調整を完了するため、制御はステップS9に移行する。ラフ初期調整の完了の判断は、簡易なラ

ッチ回路（シフト方向保持回路112）で容易に行われるため、回路規模が低減される。

【0117】ラフ／ファイン制御部48のEOR回路114は、比較結果が不一致の場合、Hレベルを出力する。なお、位相調整開始直後には、正しい比較ができないため、制御は、強制的にステップS6に移行する。ステップS6において、図1.8に示したラフコントロール118は、遅延段を切り替える制御を行う。遅延段の制御は、図1.9に示した制御状態図および図2.0に示したタイミング図にしたがって行われる。ラフ初期調整時、ラフロックオン信号RLONはLレベルになっている。このため、ラフコントロール118は、比較結果信号COMPがLレベルのときに、進み信号FWをHレベルにし、制御信号A、BをHレベルにする。ラフコントロール118は、比較結果信号COMPがHレベルのときに、遅れ信号BWをHレベルにし、制御信号C、DをHレベルにする。

【0118】図3.5は、ラフ初期調整での補間回路39を切り替える制御の概要を示している。図中、太枠の補間回路39は、遅延段として動作することを示し、破線の補間回路39は、補間回路として動作することを示している。位相比較の結果、比較結果信号COMPがLレベルになったときには、図3.5(a)に示すように、内部クロック信号CLKIの位相を遅らせる制御が行われる。

【0119】まず、図1.8に示したラフコントロール118は、比較結果信号COMPを受け、遅れ信号BWをHレベルにし、制御信号C、DをHレベルにする。図7に示したシフトレジスタ63は、制御信号C、Dを受けてイネーブル信号E5をHレベルにし、スイッチ信号Y3、Y4をLレベルにし、スイッチ信号Z3、Y4をHレベルにする。すなわち、制御信号DのHレベルにより、制御回路67-4のNANDゲート67bの出力ノードが強制的にHレベルになる。このHレベルにより、イネーブル信号E5がHレベルになり、スイッチ信号X4がLレベルになり、スイッチ信号Y4がHレベルになる。また、NANDゲート67bの出力ノードHレベルにより、インバータ67cの出力がLレベルになり、スイッチ信号Y3がHレベルになり、スイッチ信号Z3がLレベルになる。

【0120】補間回路39-5は、イネーブル信号E5のHレベルにより活性化される。また、スイッチ信号Y3のLレベルおよびスイッチ信号Z3のHレベルにより、図4に示したスイッチ部61-3は、制御端子α、βから制御電圧VMAX、VMINをそれぞれ出力する。スイッチ信号X4のLレベルおよびスイッチ信号Y4のHレベルにより、スイッチ部61-4は、制御端子α、βから制御電圧V1、V2をそれぞれ出力する。

【0121】補間回路39-4は、制御電圧V1、V2を受け、内部クロック信号CLK-Kと内部クロック信号CLK5との中間の位相の内部クロック信号CLK4を出力する。補間回路39-3は、制御端子α、βに制御電圧VMAX、VMINをそれぞれ受け、内部クロック信号CLK4を遅延時間Delay

だけ遅らせ内部クロック信号CLK3として出力する。この結果、クロック信号CLKIの位相は、遅延時間Delayだけ遅れる。すなわち、上記制御により、補間回路39からなる遅延段が1段追加される。

【0122】一方、位相比較の結果、比較結果信号COMPがHレベルになったときには、図3.5(b)に示すように、内部クロック信号CLKIの位相を進ませる制御が行われる。まず、ラフコントロール118は、比較結果信号COMPを受け、進み信号FWをHレベルにし、制御信号A、BをHレベルにする。図7に示したシフトレジスタ63は、制御信号A、Bを受けてイネーブル信号E4をLレベルにし、スイッチ信号Z2、Y3をLレベルにし、スイッチ信号Y2、X3をHレベルにする。

【0123】補間回路39-4は、イネーブル信号E4のLレベルにより非活性化される。また、スイッチ信号Y3のLレベルおよびスイッチ信号X3のHレベルにより、図4に示したスイッチ部61-3は、制御端子α、βから制御電圧VMIN、VMAXをそれぞれ出力する。スイッチ信号Z2のLレベルおよびスイッチ信号Y2のHレベルにより、スイッチ部61-2は、制御端子α、βから制御電圧V1、V2をそれぞれ出力する。

【0124】補間回路39-2は、制御電圧V1、V2を受け、内部クロック信号CLK-Kと内部クロック信号CLK3との中間の位相の内部クロック信号CLK2を出力する。補間回路39-3は、制御端子α、βに制御電圧VMIN、VMAXをそれぞれ受け、内部クロック信号CLK-Kを遅延時間Delayだけ遅らせ内部クロック信号CLK3として出力する。この結果、クロック信号CLKIの位相は、遅延時間Delayだけ早くなる。すなわち、上記制御により、補間回路39からなる遅延段が1段減少される。

【0125】なお、補間回路39の切り替えにより、シフト方向が逆向きになったときに、図2.2に示したシフト方向ラッチ122は、ラフシフト方向信号RSDのレベルを反転する。図3.6は、補間回路39の切り替えによる内部クロック信号CLKI (CLKI) の変化を示している。図3.6(a)は、2進カウンタ136の初期値を中央の“8”（本実施形態で採用）にした場合、図3.6(b)は、2進カウンタ136の初期値を中央からずれた“4”にした場合を示している。

【0126】各補間回路39は、図8で説明したように、出力信号OUT（クロック信号）の位相を、カウンタ値の増加とともに入力信号IN2（クロック信号）の位相に近づける。このため、奇数段目の補間回路39では、出力信号OUTの位相は、カウンタ値の増加により遅れる。偶数段目の補間回路39では、出力信号OUTの位相は、カウンタ値の増加により早まる。したがって、カウンタ値を中央の値に設定した場合には、図3.6(a)に示すように、内部クロック信号CLKIの位相は、補間回路39の切り替え時に均等に变化する。このため、ラフ初期調整後のファイン初期調整において、各補間回路39

による位相調整の範囲は所定内になり、位相比較回数を低減することが可能になる。一方、カウンタ値を中央の値からずらした場合には、図36(b)に示すように、内部クロック信号CLKIの位相は、補間回路39の切り替え時に均等に変化しなくなる。このため、ファイン初期調整において、位相比較回数が増大する。

【0127】ステップS7において、図21に示したラフシフトラッチ120は、ラフコントロール118から出力されるシフト通知信号SINFを受けて、ラフシフト順番番号RS0を反転して、偶数段目の補間回路39にV1、V2が供給されている状態で、奇数段目の補間回路39への入力状態が反転したことを各回路に伝達する。ステップS8において、図15に示したラフ/ファイン制御部48のシフト方向保持回路112は、現在のラフシフト方向信号RSDの値を保持する。この後、制御は、再びステップS3に移行する。

【0128】一方、ステップS9において、ラフ/ファイン制御部48のシフト方向保持回路112は、現在のラフシフト方向信号RSDの値を保持する。次に、ステップS10において、ラフ/ファイン制御部48のロックオン生成回路116は、EOR回路114から出力されるHレベルを受けて、ラフロックオン信号RLONをHレベルにする。

【0129】以上でラフ初期調整が完了し、この後、ファイン初期調整が行われる。

(c) ファイン初期調整(図28、29)
まず、ステップS12において、ラフシフト順番番号RS0のレベルにより制御が分かれる。ラフシフト順番番号RS0がHレベル、すなわち、偶数段目の補間回路39を制御する場合、制御はステップS13に移行する。ラフシフト順番番号RS0がLレベル、すなわち、奇数段目の補間回路39を制御する場合、制御はステップS22に移行する。

【0130】ステップS13において、図9に示した位相比較回路90は、内部クロック信号DICKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICKの位相を進めるため、制御はステップS14に移行する。内部クロック信号DICKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICKの位相を遅らせるため、制御はステップS15に移行する。

【0131】ステップS14において、2進カウンタの上位2ビットCNT3、CNT2の値が“-1”され、カウント値が10進数の“4”にされる。ステップS15において、2進カウンタの上位2ビットCNT3、CNT2の値が“+1”され、カウント値が10進数の“12”にされる。同様に、ステップS16-S18、ステップS19-S21において、位相の比較結果に応じて2進カウンタの次の上位2ビットの値が“-1”または“+1”され

る。

【0132】一方、ステップS22において、図9に示した位相比較回路90は、内部クロック信号DICKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICKの位相を進めるため、制御はステップS23に移行する。内部クロック信号DICKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICKの位相を遅らせるため、制御はステップS24に移行する。

【0133】ステップS23において、2進カウンタの上位2ビットCNT3、CNT2の値が“+1”され、カウント値は10進数の“12”になる。ステップS24において、2進カウンタの上位2ビットCNT3、CNT2の値が“-1”され、カウント値は10進数の“4”になる。同様に、ステップS25-S27、ステップS28-S30において、位相の比較結果に応じて2進カウンタの次の上位2ビットの値が“+1”または“-1”される。

【0134】図37(a)は、偶数段目の補間回路39におけるファイン初期調整の概要を示している。2進カウンタ136のカウント値は、位相比較回路90での比較結果に応じて、上位ビットから順次確定していく。そして、カウンタ値に応じて内部クロック信号CLKIの位相は変化する。図37(b)は、奇数段目の補間回路39におけるファイン初期調整の概要を示している。2進カウンタ136のカウント値は、図37(a)と同様に、位相比較回路90での比較結果に応じて、上位ビットから順次確定していく。そして、カウンタ値に応じて内部クロック信号CLKIの位相は変化する。

【0135】このように、内部クロック信号CLKIの位相をとびとびに変化させるため、ファイン初期調整での位相比較回数が最小限になる。また、ラフ初期調整後に直ちにファイン調整を行う場合に比べ、位相調整が早く行われる。ステップS20、S21またはステップS29、S30を実行した後、制御は、ラフ/ファイン調整に移行する。

【0136】(d) ラフ/ファイン調整(図30、31)
まず、ステップS32において、ラフシフト順番番号RS0のレベルが比較される。ラフシフト順番番号RS0がHレベルの場合、すなわち、偶数段目の補間回路39を制御する場合、制御はステップS33に移行する。ラフシフト順番番号RS0がLレベル、すなわち、奇数段目の補間回路39を制御する場合、制御はステップS44に移行する。

【0137】ステップS33において、図9に示した位相比較回路90は、内部クロック信号DICKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICKの位相を進めるた

め、制御はステップS34に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップS35に移行する。

【0138】ステップS34において、図15に示したラフ／ファイン制御部48は、最小信号MINのレベルをモニタする。ラフ／ファイン制御部48は、最小信号MINがLレベルのときに、内部クロック信号DICLKの位相を進めても2進カウンタ136の繰り下がりが起こらないと判断する。そして、ラフ／ファイン制御部48は、図16の制御状態図(A)に示したように、ファイネイネーブル信号FENを活性化し、制御をステップS36に移行する。ラフ／ファイン制御部48は、最小信号MINがHレベルのときに、内部クロック信号DICLKの位相を進めると2進カウンタ136の繰り下がりが起こると判断する。そして、ラフ／ファイン制御部48は、図16の制御状態図(D)に示したように、ラフイネーブル信号RENを活性化し、制御をステップS37に移行する。

【0139】ステップS36において、図24に示したファインコントロール134は、ファイネイネーブル信号FENを受けて、図25の制御状態図(A)に示したように、カウンタダウン信号DOWNを活性化する。2進カウンタ136は、カウンタダウン信号DOWNを受けて、カウンタ値を“-1”し、カウンタ信号CNT3-CNT0として出力する。制御電圧V1、V2を受けている補間回路39は、カウンタ信号CNT3-CNT0に応じて内部クロック信号CLKIの位相を進める。

【0140】ラフ／ファイン調整では、4ビットのカウンタ値を1つずつずらしていくことで、温度変動等による位相のずれに対して、位相調整が精度よく行われる。ステップS37において、図18に示したラフコントロール118は、ラフイネーブル信号RENを受けて、図19の制御状態図(D)に示したように、進み信号FWを活性化し、制御信号A、Bおよびシフト通知信号SINFを活性化する(図20(c)(d)(g))。

【0141】図7に示したシフトレジスタ63は、制御信号A、Bを受けて、制御電圧V1、V2の供給先を1つ後段側(奇数段目)の補間回路39に切り替える制御をする。同時に、シフトレジスタ63は、1つ前段側(奇数段目)の補間回路39を非活性化し、遅延回路55で消費される電力を低減する。ここで、補間回路39の切り替えは、2進カウンタ136のカウンタ値が最小値(ゼロ)のときに行われる。このため、図36(a)に示したように、補間回路39の切り替えにより内部クロック信号CLKIの位相は変化することはない。すなわち、補間回路39の切り替えにより内部クロック信号CLKIにジッタが発生することはない。

【0142】ステップS38において、図21に示したラフシフトラッチ120は、シフト通知信号SINFを受けてラフシフト順番信号RS0のレベルを反転する。ステッ

プS39において、図24に示したファインコントロール134は、カウントアップ信号UPを活性化する。2進カウンタ136は、カウントアップ信号UPを受けて、カウンタ値を1つ増やす。

【0143】ラフ／ファイン調整では、遅延段の切り替えが行われても、内部クロック信号CLKIの位相調整単位は、2進カウンタ136の1単位である。このため、ノイズの発生により、位相の比較結果が瞬間的に大きくずれた場合にも、内部クロック信号CLKIの位相がそれに追従して変化することはない。すなわち、ノイズの影響を受けにくい。

【0144】一方、ステップS35において、図15に示したラフ／ファイン制御部48は、最大信号MAXのレベルをモニタする。ラフ／ファイン制御部48は、最大信号MAXがLレベルのときに、内部クロック信号DICLKの位相を遅らせても2進カウンタ136の繰り上がりが起こらないと判断する。そして、ラフ／ファイン制御部48は、図16の制御状態図(A)に示したように、ファイネイネーブル信号FENを活性化し、制御をステップS40に移行する。ラフ／ファイン制御部48は、最大信号MAXがHレベルのときに、内部クロック信号DICLKの位相を遅らせると2進カウンタ136の繰り上がりが起こると判断する。そして、ラフ／ファイン制御部48は、図16の制御状態図(C)に示したように、ラフイネーブル信号RENを活性化し、制御をステップS41に移行する。

【0145】ステップS40において、図24に示したファインコントロール134は、ファイネイネーブル信号FENを受けて、図25の制御状態図(B)に示したように、カウントアップ信号UPを活性化する。2進カウンタ136は、カウントアップ信号UPを受けて、カウンタ値を“+1”し、カウンタ信号CNT3-CNT0として出力する。制御電圧V1、V2を受けている補間回路39は、カウンタ信号CNT3-CNT0に応じて内部クロック信号CLKIの位相を遅らせる。

【0146】ステップS41において、図18に示したラフコントロール118は、ラフイネーブル信号RENを受けて、図19の制御状態図(C)に示したように、遅れ信号BWを活性化し、制御信号C、Dおよびシフト通知信号SINFを活性化する(図20(e)(f))。図7に示した第1シフトレジスタ63は、制御信号C、Dを受けて、制御電圧V1、V2の供給先を1つ前段側(奇数段目)の補間回路39に切り替える制御をする。同時に、シフトレジスタ63は、さらに1つ前段側(偶数段目)の補間回路39を活性化する。

【0147】ここで、補間回路39の切り替えは、2進カウンタ136のカウンタ値が最大値(10進数の“16”)のときに行われる。このため、図36(a)に示したように、遅延段の切り替えにより内部クロック信号CLKIの位相は変化することはない。すなわち、ステップ

S 3 7と同様、遅延段の切り替えにより内部クロック信号CLKIにジッタが発生することはない。

【0148】ステップS 4 2では、上述したステップS 3 8と同じ制御が行われ、ラフシフト順番信号RSOのレベルが反転される。ステップS 4 3において、図24に示したファインコントロール134は、カウントダウン信号DOWNを活性化する。2進カウンタ136は、カウントダウン信号DOWNを受けて、カウンタ値を1つ減らす。

【0149】ステップS 3 6、S 3 9、S 4 0、S 4 3を実行した後、制御は再びステップS 3 2へ移行する。一方、ステップS 4 4-S 5 4では、内部クロック信号DICLKの位相を進める制御と、遅らせる制御は、上述したステップS 3 3-S 4 3とは逆に行われる。まず、ステップS 4 4において、図9に示した位相比較回路90は、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を比較する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より進んでいる場合、内部クロック信号DICLKの位相を進めるため、制御はステップS 4 5に移行する。内部クロック信号DICLKの位相が参照クロック信号REFCLKの位相より遅れている場合、内部クロック信号DICLKの位相を遅らせるため、制御はステップS 4 6に移行する。

【0150】ステップS 4 5において、図15に示したラフ/ファイン制御部48は、最大信号MAXのレベルをモニタする。ラフ/ファイン制御部48は、最大信号MAXがLレベルのときに、内部クロック信号DICLKの位相を進めても2進カウンタ136の繰り上がりが起こらないと判断する。そして、ラフ/ファイン制御部48は、図16の制御状態図(F)に示したように、ファインイネーブル信号FENを活性化し、制御をステップS 4 7に移行する。ラフ/ファイン制御部48は、最大信号MAXがHレベルのときに、内部クロック信号DICLKの位相を遅らせると2進カウンタ136の繰り上がりが起こると判断する。そして、ラフ/ファイン制御部48は、図16の制御状態図(G)に示したように、ラファイネーブル信号RENを活性化し、制御をステップS 4 8に移行する。

【0151】ステップS 4 7では、上述したステップS 4 0と同じ制御が行われ、2進カウンタ136のカウンタ値が“+1”される。ステップS 4 8において、図18に示したラフコントロール118は、ラファイネーブル信号RENを受けて、図19の制御状態図(G)に示したように、進み信号FWを活性化し、制御信号A、Bおよびシフト通知信号SINFを活性化する(図20(c)(d)(g))。

【0152】図7に示したジフトレジスタ63は、制御信号A、Bを受けて、制御電圧V1、V2の供給先を1つ後段側(奇数段目)の補間回路39に切り替える制御をする。同時に、シフトレジスタ63は、1つ前段側(奇数段目)の補間回路39を非活性化する。ステップS 4 9では、上述したステップS 3 8と同じ制御が行われ、ラフシフト順番信号RSOのレベルが反転される。

【0153】ステップS 5 0では、上述したステップS 4 3と同じ制御が行われ、2進カウンタ136のカウンタ値が“-1”される。一方、ステップS 4 6において、図15に示したラフ/ファイン制御部48は、最小信号MINのレベルをモニタする。ラフ/ファイン制御部48は、最小信号MINがLレベルのときに、内部クロック信号DICLKの位相を遅らせても2進カウンタ136の繰り下がりが起こらないと判断する。そして、ラフ/ファイン制御部48は、図16の制御状態図(F)に示したように、ファインイネーブル信号FENを活性化し、制御をステップS 5 1に移行する。ラフ/ファイン制御部48は、最小信号MINがHレベルのときに、内部クロック信号DICLKの位相を遅らせると2進カウンタ136の繰り下がりが起こると判断する。そして、ラフ/ファイン制御部48は、図16の制御状態図(J)に示したように、ラファイネーブル信号RENを活性化し、制御をステップS 5 2に移行する。

【0154】ステップS 5 1では、上述したステップS 3 6と同じ制御が行われ、2進カウンタ136のカウンタ値が“-1”される。ステップS 5 2において、図18に示したラフコントロール118は、ラファイネーブル信号RENを受けて、図19の制御状態図(J)に示したように、遅れ信号BWを活性化し、制御信号C、Dおよびシフト通知信号SINFを活性化する(図20(e)(f))。

【0155】図7に示した第2シフトレジスタ64は、制御信号C、Dを受けて、制御電圧V1、V2の供給先を1つ前段側(奇数段目)の補間回路39に切り替える制御をする。同時に、シフトレジスタ63は、さらに1つ前段側(偶数段目)の補間回路39を活性化する。ステップS 5 3では、上述したステップS 3 8と同じ制御が行われ、ラフシフト順番信号RSOのレベルが反転される。

【0156】ステップS 5 4では、上述したステップS 3 9と同じ制御が行われ、2進カウンタ136のカウンタ値が“+1”される。ステップS 4 7、S 5 0、S 5 1、S 5 4を実行した後、制御はステップS 5 5へ移行する。

【0157】ステップS 5 5において、ラフシフト順番信号RSOのレベルが比較される。ラフシフト順番信号RSOがLレベルの場合、制御は再びステップS 4 4に移行する。ラフシフト順番信号RSOがHレベルの場合、制御はステップS 3 3に移行する。上述したように、ステップS 3 2-ステップS 5 5が繰り返して実行され、ラフ/ファイン調整が行われる。そして、内部クロック信号CLKIの位相がクロック信号CLKの位相に合わせられる。

【0158】以上のように構成された半導体集積回路では、位相調整をラフ初期調整、ファイン初期調整(粗調整)とラフ/ファイン調整(微調整)との3段階に分けて行ったので、内部クロック信号DICLKと参照クロック信号REFCLKとの位相を少ない位相比較回数で早く一致させることができる。位相調整を、粗調整では複数の補間

回路を切り替え、微調整では1つの補間回路を制御する2段階で行ったので、位相の調整が早くできる。

【0159】補間回路39を、遅延回路または補間回路として兼用したので、遅延回路54のレイアウトサイズを小さくできる。また、補間回路39を使用して位相を微調整したので、微調整の最小単位を補間回路39の精度に合わせて小さくできる。すなわち、高い周波数のクロック信号CLK、/CLKが供給される半導体集積回路においても確実に位相を調整できる。

【0160】使用していない補間回路39は非活性化されるため、消費電力を低減できる。さらに、補間回路39に独立した電源線を接続することで、補間回路39の動作が、他の回路の影響を受けて不安定になることを防止できる。また、上記独立した電源線を、外部から供給される電源電圧を降圧した内部電源に接続することによって、さらに、外部電源のゆらぎに対して補間回路39を安定して動作させることができ、補間回路39の消費電力を小さくすることができる。

【0161】開始信号STTを内部クロック信号CLK-Kの立ち下がりに同期して活性化した。このため、位相比較の開始時に、遅延クロック生成部37、位相比較部46等の動作を互いに同期して開始することができ、常に所定の状態から位相比較を開始できる。また、内部クロック信号CLK-K等のHレベル期間が開始信号STTによりマスクされハザードとなることを防止することができ、位相比較の開始時の誤動作を防止できる。

【0162】第1、第2分周回路82、84を使用して4分の1分周した内部クロック信号DICK、参照クロック信号REFCLKを位相比較した。このため、高い周波数のクロック信号CLK、/CLKが供給される場合にも、位相比較回路90を確実に動作させることができる。また、位相比較の頻度が少なくなるため、消費電力を低減できる。さらに、図2-8のステップS20、S21の終了後、またはラフロックオン信号RLONがHレベルになってから所定のクロック数後に、位相比較の頻度をさらに下げることによって、より消費電力を低減できる。

【0163】位相比較の開始時に、第1分周回路82および第2分周回路84を開始信号STTに同期して動作させ、所定のクロック数後に分周した内部クロック信号および参照クロック信号REFCLKを出力した。このため、クロック信号CLK、/CLKの周波数が特定の範囲の場合において、位相比較の開始時に、位相比較回路90に供給される内部クロック信号および参照クロック信号REFCLKの位相のずれの最大値を小さくできる。この結果、粗調整における位相比較の回数を低減できる。一般に、半導体集積回路は、製品によって動作周波数の範囲が決まっているため、本発明の適用により十分な効果が得られる。

【0164】ラフ初期調整の完了の判断を、簡易なラッチ回路(シフト方向保持回路112)で行ったので、回路規模を低減できる。ラフ初期調整において、2進カウ

ンタ136のカウンタ値を中央の値に設定したので、内部クロック信号CLKIの位相を、遅延段の切り替え時に均等に変化させることができる。このため、ラフ初期調整後のファイン初期調整において、補間回路39による位相調整の範囲が所定内にされ、位相比較回数を最小限にできる。

【0165】ファイン初期調整において、内部クロック信号CLKIの位相をとびとびに変化させたので、ファイン初期調整での位相比較回数が最小限にできる。また、ラフ初期調整後に直ちにファイン調整を行う場合に比べ、位相調整を早く行うことができる。ラフ/ファイン調整において、カウンタ値の増加時に、内部クロック信号CLKIの位相を、常に入力端子IN1に供給される信号の位相から、入力端子IN2に供給される信号の位相に向けて変化させた。また、カウンタ値の減少時に、内部クロック信号CLKIの位相を、常に入力端子IN2に供給される信号の位相から、入力端子IN1に供給される信号の位相に向けて変化させた。このため、カウンタ値が最大または最小になった場合にもカウンタ値をリセットまたはセットする必要はなく、補間回路39の切り替えを行うだけでよい。このため、図36(a)に示したように、遅延段の切り替えにより内部クロック信号CLKIの位相が変化することはない。この結果、遅延段の切り替えにより内部クロック信号にジッタが発生することを防止できる。

【0166】ラフ/ファイン調整において、4ビットのカウンタ値を1つずつずらしていく制御を行った。このため、ノイズの発生により、位相の比較結果が瞬間的に大きくずれた場合にも、内部クロック信号CLKIの位相がそれに追従して変化することを防止できる。すなわち、ノイズの影響は受けにくい。また、温度変動、電圧変動等による位相のずれに対して、位相調整を精度よく行うことができる。

【0167】次に、本発明の半導体集積回路の第2の実施形態について説明する。この実施形態は、請求項1ないし請求項3に対応している。なお、第1の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。

【0168】図38は、DDR-SDRAMに搭載されたクロック制御部140を示している。この実施形態のクロック制御部140は、第1の実施形態に比べ位相比較部141、ラフ/ファイン制御部142、およびラフ制御部144が相違している。位相比較部141は、内部クロック信号CLKI、CLK-Kおよび開始信号STTを受け、ファイン比較結果信号FCOMP、ラフ位相比較信号RCOMP、およびタイミング信号TIMを出力している。ラフ/ファイン制御部142は、ラフ比較結果信号COMP、タイミング信号TIM、最大信号MAX、最小信号MIN、ラフシフト順番信号RS0、および開始信号STTを受け、ラフイネーブル信号REN、ファインイネーブル信号FEN、およびラフロックオン信号RLONを出力している。ラフ制御部144は、ラフイ

ネーブル信号REN、ラフロックオン信号RLON、最大信号MAX、最小信号MIN、および開始信号STTを受け、ラフシフト順番信号RSO、および制御信号A-Dを出力している。

【0169】図39は、位相比較部141の詳細を示している。位相比較部141は、第1の実施形態と同一の第1分周回路82、第2分周回路84、ダミー出力バッファ86、およびダミー入力バッファ88と、ファイン位相比較回路148、ラフ位相比較回路150を備えている。ファイン位相比較回路148は、参照クロック信号REFCLKおよび内部クロック信号DICKの位相を比較し、ファイン比較結果信号FCOMPを出力する回路である。ラフ位相比較回路150は、参照クロック信号REFCLKおよび内部クロック信号DICKの位相を比較し、ラフ比較結果信号RCOMPおよびタイミング信号TIMを出力する回路である。

【0170】図40は、ファイン位相比較回路148の詳細を示している。ファイン位相比較回路148は、第1の実施形態の位相比較回路90からタイミング生成回路108を除いた回路である。ファイン位相比較回路148は、パルス発生回路102のNORゲート102cの出力からサンプリング信号SMPLを出力し、フリップフロップ106のNANDゲート106bの出力からファイン比較結果信号FCOMPを出力している。

【0171】図41は、ラフ位相比較回路150の詳細を示している。ラフ位相比較回路150は、2つの2入力のNANDゲートからなるフリップフロップ回路150a、150b、150c、150dと、2入力のAND回路150eと、フリップフロップ回路150c、150dの出力にそれぞれ接続された2入力のNANDゲート150f、150g、150h、150iと、タイミング生成回路150jとで構成されている。タイミング生成回路150jは、第1の実施形態のタイミング生成回路108の遅延回路108aをCR時定数回路150kに置き換えた回路である。CR時定数回路150kは、図4に示した補間回路39の遅延時間Delayと同一またはわずかに大きい遅延時間を有している。タイミング生成回路150jは、CR時定数回路150kで遅延させた内部クロック信号DICKと参照クロック信号REFCLKとをNANDゲート108bで受け、タイミング信号TIMを出力している。

【0172】フリップフロップ回路150aの入力には、参照クロック信号REFCLKおよび内部クロック信号DICKが供給されている。フリップフロップ回路150aの出力ノードN21、N22は、それぞれNANDゲート150f、150gの一方の入力に接続されている。フリップフロップ回路150bの入力には、参照クロック信号REFCLKおよびタイミング生成回路150jのCR時定数回路150kで遅延させた内部クロック信号DICKが供給されている。フリップフロップ回路150bの出力ノードN23、N24は、それぞれNANDゲート150h、150i

の一方の入力に接続されている。

【0173】NANDゲート150f-150iの他方の入力には、サンプリング信号SMPLが供給されている。フリップフロップ回路150c、150dは、それぞれ比較結果信号CP5、CP6および比較結果信号CP7、CP8を出力している。AND回路150eは、比較結果信号CP5、CP8を受け、ラフロックオン信号RLONを出力している。図42(a)は、ラフ位相比較回路150の動作タイミングを示している。

【0174】内部クロック信号DICKの位相が参照クロック信号REFCLKの位相より進んでいる場合、図41に示したフリップフロップ回路150a、150bは、ともに内部クロック信号DICKに同期して動作する。このため、ノードN21、N23、ノードN22、N24には、ほぼ同じ信号が出力される(図42(a))。ここで、フリップフロップ回路150bの入力には、CR時定数回路150kを介して内部クロック信号DICKが供給されているため、信号波形はわずかに異なっている。フリップフロップ回路150c、150dは、サンプリング信号SMPLに同期してノードN21-N24の信号を取り込み、それぞれ比較結果信号CP5-CP8として出力する(図42(b))。

【0175】内部クロック信号DICKの位相と、参照クロック信号REFCLKの位相との差が、CR時定数回路150kの遅延時間より小さい場合、フリップフロップ回路150aは、内部クロック信号DICKに同期して動作し、フリップフロップ回路150bは、参照クロック信号REFCLKに同期して動作する。このため、ノードN21、N23、ノードN22、N24には、互いに逆相の信号が出力される(図42(c))。フリップフロップ回路150c、150dは、サンプリング信号SMPLに同期してノードN21-N24の信号を取り込み、それぞれ比較結果信号CP5-CP8として出力する(図42(d))。

【0176】内部クロック信号DICKの位相が参照クロック信号REFCLKの位相より遅れている場合、フリップフロップ回路150a、150bは、ともに参照クロック信号REFCLKに同期して動作する。このため、ノードN21、N23、ノードN22、N24には、ほぼ同じ信号が出力される(図42(e))。フリップフロップ回路150c、150dは、サンプリング信号SMPLに同期してノードN21-N24の信号を取り込み、それぞれ比較結果信号CP5-CP8として出力する(図42(f))。

【0177】また、ラフ位相比較回路150は、位相の差がCR時定数回路150kの遅延時間より小さくなり、比較結果信号CP5、CP8がともにHレベルになったときに、後述するラフ初期調整での位相が一致したと判断する。そして、ラフロックオン信号RLONを活性化する(図42(g))。このように、ラフ初期調整時における位相一致の判断を、独立したラフ位相比較回路150で行っているため、第1の実施形態と異なり、内部クロック信号ACLK、(または/BCLK)のシフト方向を反転させる必

要がなくなる。この結果、ラフ初期調整を高速に行うことが可能になる。

【0178】図43は、ラフ/ファイン制御部142の詳細を示している。ラフ/ファイン制御部142は、第1の実施形態のラフ/ファイン制御部48の組み合わせ回路110と同一の回路である。図44は、ラフ制御部144の詳細を示している。ラフ制御部144は、ラフコントロール152と、ラフシフトラッチ120とで構成されている。ラフシフトラッチ120は、第1の実施形態を同一の回路である。また、この実施形態では、第1の実施形態のシフト方向ラッチ122は搭載されていない。

【0179】図45は、ラフコントロール152の詳細を示している。ラフコントロール152は、組み合わせ回路154と、分周回路128と、制御回路130と、OR回路132とで構成されている。分周回路128、制御回路130、およびOR回路132は、第1の実施形態と同一の回路である。組み合わせ回路154は、図18に示した第1の実施形態の組み合わせ回路126と以下の点で相違している。すなわち、組み合わせ回路126では、進み信号FW、遅れ信号BWを出力するNANDゲートの前段の3入力NANDゲートおよび2入力NANDゲートには、比較結果信号COMPの論理が供給されている。組み合わせ回路154では、3入力NANDゲートには、ファイン比較結果信号FCOMPの論理が供給され、2入力NANDゲートには、それぞれAND回路を介して比較結果信号CP5、CP7、および比較結果信号CP6、CP8が供給されている。

【0180】図46は、組み合わせ回路154の動作の制御状態図を示している。例えば、組み合わせ回路154は、ラフロックオン信号RLONがLレベル、比較結果信号CP5、CP7がHレベルのときに、遅れ信号BWを活性化し、ラフロックオン信号RLONがLレベル、比較結果信号CP6、CP8がHレベルのときに、進み信号FWを活性化する。組み合わせ回路154は、ラフロックオン信号RLON、ラフシフト順番信号RSO、最大信号MAX、ファイン比較結果信号FCOMPがともにHレベルのときに、遅れ信号BWを活性化する。組み合わせ回路154は、ラフロックオン信号RLON、ラフシフト順番信号RSOがHレベル、最大信号MAX、最小信号がLレベルのときには、進み信号FW、遅れ信号BWとも非活性化する。

【0181】上述した半導体集積回路では、以下示すように、内部クロック信号CLKIの位相調整が行われる。図47は、上述した各回路が行う位相調整を制御を示すフローチャートである。位相調整の制御は、リセット信号/RESETの解除により開始され、初期設定、ラフ初期調整、ファイン初期調整、ラフ/ファイン調整が順次行われる。

【0182】初期設定、ファイン初期調整、ラフ/ファイン調整の制御フローは、第1の実施形態と同一であるため、説明を省略する。ラフ初期調整では、ステップS

61において、図39に示したラフ位相比較回路150は、参照クロック信号REFCLKと内部クロック信号DCLKとの位相を比較する。内部クロック信号DCLKの位相が参照クロック信号REFCLKの位相より進んでいる場合には、ラフ比較結果信号FCOMPはHレベルにされる。ラフ比較結果信号FCOMPのHレベルにより、この後、内部クロック信号DCLKを遅らせる制御が行われる。内部クロック信号DCLKの位相が参照クロック信号REFCLKの位相より遅れている場合には、ラフ比較結果信号FCOMPはLレベルにされる。ラフ比較結果信号FCOMPのLレベルにより、この後、内部クロック信号DCLKを進める制御が行われる。また、内部クロック信号DCLKの位相が参照クロック信号REFCLKの位相と一致した場合には、ラフロックオン信号RLONはHレベルにされる。

【0183】ステップS62において、ラフロックオン信号RLONがHレベルの場合、制御はファイン調整に移行する。ラフロックオン信号RLONがLレベルの場合、制御はステップS63に移行する。ステップS63において、図45に示したラフコントロール152は、遅延段を切り替える制御を行う。遅延段の制御は、図46に示した制御状態図にしたがって行われる。

【0184】ステップS64のラフシフト順番信号RSOの反転、およびステップS65のシフト方向のラッチは、第1の実施形態のステップS7、S8と同一の制御が行われる。この後、制御は、再びステップS61に移行する。そして、ラフ初期調整の後、ファイン初期調整、ラフ/ファイン調整が行われ、内部クロック信号CLKIの位相がクロック信号CLKの位相に合わせられる。

【0185】この実施形態の半導体集積回路においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、位相比較回路146をファイン位相比較回路148とラフ位相比較回路150とで構成し、ラフ初期調整における位相一致の判断と、ファイン初期調整における位相一致の判断とを、別の制御回路で行った。このため、ラフ初期調整を効率よく高速に行うことができる。

【0186】次に、本発明の半導体集積回路の第3の実施形態について説明する。この実施形態は、請求項1ないし請求項3に対応している。なお、第1の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。この実施形態では、第1の実施形態に比べ、第1分周回路156のみが相違し、その他の構成は同一である。また、この実施形態は、第1の実施形態に比べて低い周波数で動作する半導体集積回路に適用することで、顕著な効果が得られる。

【0187】図48は、第1分周回路156を示している。第1分周回路156は、第1の実施形態と同一の2つの分周器92を備えている。前段の分周器92には、入力端子INに内部クロック信号CLK-Kが供給され、制御

端子STT1に開始信号STTが供給され、制御端子STT2に電源線VDDが接続されている。後段の分周器92の入力端子IN、制御端子STT1、STT2には、それぞれスイッチ156a、156b、156cが接続されている。スイッチ156aは、前段の分周器92の出力端子OUT、/OUTの一方を入力端子INに接続する素子である。スイッチ156bは、電源線VDDのHレベル、または開始信号STTを制御端子STT1に供給する素子である。スイッチ156cは、電源線VDDのHレベル、または開始信号STTを制御端子STT2に供給する素子である。各スイッチ156a、156b、156cは、CMOSスイッチで形成されている。各スイッチ156a、156b、156cの切り替えは、半導体集積回路の動作モードを設定するモードレジスタを所定の値にすることで行われる。

【0188】本実施形態では、後段の分周器92の入力端子INには、前段の分周器92の出力端子OUTが接続され、後段の分周器92の制御端子STT1および制御端子STT2には、開始信号STTおよび電源線VDDのHレベルが供給されている。図49は、位相調整開始時の第1分周回路156および第2分周回路84（図10）の動作タイミングを示している。

【0189】この実施形態では、第1分周回路156から出力される参照クロックREFCLKは、内部クロック信号CLKIを受けた後、4クロックで出力が開始される。このため、位相調整開始時の内部クロック信号DCLKと参照クロックREFCLKとの位相差T6は、5クロックで参照クロックREFCLKを出力した場合の位相差T7に比べ小さくなる。したがって、動作周波数が低い場合に、参照クロックREFCLKの出力が開始されるまでのクロック数を少なくすることで、ラフ初期調整に必要な位相比較の回数を低減できる。また、位相調整開始時の内部クロック信号DCLKと参照クロックREFCLKとの位相差を小さくすることで（例えば、T7→T6）、図4に示した遅延回路55内で活性化させる補間回路39の数が少なくなり、消費電力を低減できる。

【0190】次に、本発明の半導体集積回路の第4の実施形態について説明する。この実施形態は、請求項4および請求項5に対応している。なお、第1の実施形態で説明した回路と同一の回路については、同一の符号を付し、これ等の回路については、詳細な説明を省略する。図50は、DDR-SDRAMにおけるクロック制御部170を示している。

【0191】クロック制御部170は、開始信号発生器32、クロックバッファ34a、34b、遅延制御回路172、スイッチ回路174、第1セクタ176、ダミー回路178、180、位相比較回路182、ラフ制御部184、ファイン制御部186、ラフカウンタ188、ファインカウンタ190、第2セクタ192およびD/Aコンバータ194を備えている。スイッチ回路174、第1セクタ176、ラフ制御部184、ファ

イン制御部186、ラフカウンタ188、ファインカウンタ190、第2セクタ192、およびD/Aコンバータ194は、図2に示した制御回路318に対応している。

【0192】遅延制御回路172は、内部クロック信号CLK-K、/CLK-K、スイッチ回路174からの制御信号および制御電圧V1、V2、VMIN、VMAXを受け、内部クロック信号CLK、/CLKを出力している。内部クロック信号CLK-K、/CLK-Kは、図2に示した基準クロック信号に対応している。ダミー回路178は、内部クロック信号CLK-Kを受け、このクロックCLK-Kを後述する合成回路204と同じだけ遅延させ、参照クロック信号REFCLKとして出力している。

【0193】ダミー回路180は、遅延制御回路172で生成された内部クロック信号CLKIを受け、内部クロック信号DCLKを出力している。ダミー回路180は、例えば、本発明を出力回路のタイミング調整に使用する場合、第1の実施形態（図9）のダミー出力バッファ86およびダミー入力バッファ88が使用される。位相比較回路182は、参照クロック信号REFCLKおよび内部クロック信号DCLKの位相を比較し、比較結果信号COMPを出力している。位相比較回路182は、第1の実施形態（図14）の位相比較回路90からタイミング生成回路108を除いて構成されている。

【0194】ラフ制御部184は、比較結果信号COMP、最大信号MAX、および最小信号MINを受け、カウントアップ信号RUP、カウントダウン信号RDOWN、およびラフロックオン信号RLONを出力している。ラフ制御部184は、後述するラフ調整時に比較結果信号COMPの基づいてカウントアップ信号RUP、カウントダウン信号RDOWNを出力し、比較結果が反転したときにラフロックオン信号RLONを活性化する機能を有している。

【0195】ファイン制御部188は、比較結果信号COMPおよびラフロックオン信号RLONを受け、カウントアップ信号FUP、カウントダウン信号FDOWN、最大信号MAX、および最小信号MINを出力している。ファイン制御部188は、ラフロックオン信号RLONの活性化時（ファイン調整時）に、比較結果信号COMPの基づいてカウントアップ信号FUP、カウントダウン信号FDOWNを出力する機能を有している。

【0196】ラフカウンタ188は、カウントアップ信号RUP、カウントダウン信号RDOWNを受け、2ビットカウンタとして動作し、カウンタ信号RQ1、/RQ1、RQ2、/RQ2を出力している。ファインカウンタ190は、カウントアップ信号FUP、カウントダウン信号FDOWNを受け、3ビットカウンタとして動作し、カウンタ信号FQ1、/FQ1、FQ2、/FQ2、FQ3、/FQ3を出力している。

【0197】第2セクタ192は、カウンタ信号RQ1、/RQ1、RQ2、/RQ2、FQ1-FQ3、/FQ1-/FQ3を受け、カウンタ値に応じて選択信号SELA、SELB、/SELBを出力して

いる。D/Aコンバータ914は、カウンタ信号RQ1-RQ3、/RQ1-/RQ3を受け、このカウンタ値に応じて8通りの制御電圧V1、V2を出力している。なお、第1の実施形態と同様に、制御電圧V1は、カウンタ値にとともに増大し、制御電圧V2は、カウンタ値にとともに減少する。また、最大のカウンタ値のとき、制御電圧V1、V2は、それぞれ制御電圧VMAX、制御電圧VMINになり、最大のカウンタ値のとき、制御電圧V1、V2は、それぞれ制御電圧VMIN、制御電圧VMAXになる。

【0198】第1セクタ176は、カウンタ信号RQ1、/RQ1、RQ2、/RQ2および選択信号SELAを受け、スイッチ回路174を制御する複数のスイッチ信号を出力している。スイッチ回路174は、第1セクタ176からのスイッチ信号および制御電圧V1、V2、VMIN、VMAXを受け、複数の制御信号を出力している。

【0199】図5.1は、遅延制御回路172の詳細を示している。遅延制御回路172は、6つの補間回路196を直列に接続した遅延回路198と、2つの補間回路200を直列に接続した遅延回路202と、補間回路からなる合成回路204と、初期化回路206とで構成されている。遅延回路198、遅延回路202、および合成回路204は、それぞれ図2に示した主遅延回路310、副遅延回路312、および選択回路314に対応している。

【0200】なお、遅延制御回路172は、第1の実施形態の遅延回路55（図4）と同様に、図示しない負論理のクロック信号/CLK-Kを受けている。補間回路196、200は、第1の実施形態の補間回路（図5）と同様に、図示しない入力端子/IN1、/IN2、出力端子/OUTおよびインネブル端子ENを有している。ここでは、これ等の信号の表示は、説明を簡単にするために省略している。この実施形態では、補間回路196、200は、互いに同一で、同一の特性を有している。

【0201】遅延回路198の補間回路196は、初段196-6を除き、入力端子IN1、IN2に内部クロック信号CLK-Kを交互に受けている。補間回路196-6は、入力端子IN1を接地線VSSに接続し、入力端子IN2で内部クロック信号CLK-Kを受けている。また、補間回路196-6は、制御端子 α 、 β に制御電圧VMIN、制御電圧V6をそれぞれ受けている。補間回路196-1から補間回路196-6は、制御端子 α 、 β に制御電圧 $\alpha 1-\alpha 5$ 、 $\beta 1-\beta 5$ をそれぞれ受けている。補間回路196-1の出力端子OUTは、内部クロック信号CLKIAを出力している。

【0202】遅延回路202の補間回路200-2は、入力端子IN1を接地線VSSに接続し、入力端子IN2で内部クロック信号CLK-Kを受けている。また、補間回路200-2は、制御端子 α 、 β に制御電圧VMIN、制御電圧VMAXをそれぞれ受けている。補間回路200-1は、入力端子IN1で補間回路200-1の出力を受け、入力端子IN2で内部クロック信号CLK-Kを受けている。また、補間回路20

0-1は、制御端子 α 、 β に制御電圧V1、V2をそれぞれ受けている。補間回路200-1の出力端子OUTは、内部クロック信号CLKIAと同じ位相の内部クロック信号CLKIBを出力している。

【0203】合成回路204は、選択信号SELB、/SELBを受けて内部クロック信号CLKIA、CLKIBを合成し、内部クロック信号CLKIとして出力している。合成回路204は、Hレベルの選択信号SELB（/SELB=L）を受けたとき、内部クロック信号CLKIBを内部クロック信号CLKIとして出力し、Lレベルの選択信号SELB（/SELB=H）を受けたとき、内部クロック信号CLKIAを内部クロック信号CLKIとして出力する。なお、合成回路204は、後述するように、選択信号SELB、/SELBの切り替え時に、同一の位相の内部クロック信号CLKIA、CLKIBを受けている。このため、選択信号SELB、/SELBの切り替えの影響により、内部クロック信号CLKIにジッタが発生することはない。

【0204】初期化回路206は、開始信号STT、制御電圧VMIN、制御電圧VMAX、および内部クロック信号CLKIを受け、制御電圧V3を出力している。初期化回路206は、後述する初期調整時に活性化される。図5.2は、初期化回路206の詳細を示している。初期化回路206は、5つの補間回路208を直列に接続した遅延回路210と、分周回路212、214と、位相比較回路216と、パルス生成回路218と、カウンタ220と、D/Aコンバータ222とを備えている。補間回路208は、図5.1に示した補間回路196、200と同一であり、同一の特性を有している。遅延回路210は、図2に示した調整遅延回路320に対応している。また、位相比較回路216、パルス生成回路218、カウンタ220、およびD/Aコンバータ222は、図2に示した調整回路322に対応している。

【0205】補間回路208-2から補間回路208-5は、入力端子IN2に内部クロック信号CLKIを受け、制御端子 α 、 β で制御電圧VMIN、制御電圧VMAXをそれぞれ受けている。補間回路208-5は、入力端子IN1で内部クロック信号CLKIを受けている。補間回路208-1から補間回路208-4は、入力端子IN1に前段の出力信号を受けている。補間回路208-1は、入力端子IN2を接地線VSSに接続し、制御端子 α 、 β に制御電圧VMIN、制御電圧VMAXをそれぞれ受けている。補間回路208-1は、内部クロック信号CLKI2を出力している。補間回路208-2から補間回路208-5は、後述するように、受けたクロック信号の位相を90°遅らせる回路である。補間回路208-1は、負荷として作用する。

【0206】分周回路212は、受けた内部クロック信号CLKIの周波数を4分の1分周して出力している。分周回路214は、受けた内部クロック信号CLKI2の周波数を4分の1分周して出力している。分周回路212、214は、第1の実施形態の第1分周回路82（図10）

と同一である。ここで、分周回路212、214を削除して、内部クロック信号CLKI、CLKI2を毎回比較することも可能である。

【0207】位相比較回路216は、分周回路212、214から受けたクロック信号の位相を比較し、比較結果信号COMP1およびタイミング信号TIMIを出力している。位相比較回路182は、第1の実施形態の位相比較回路90（図14）と同一に構成されている。パルス生成回路218は、位相比較回路216からのタイミング信号TIMIに同期してパルス信号PLSIを生成している。

【0208】カウンタ220は、パルス信号PLSIを受けて3ビットカウンタ（QI1、/QI1、QI2、/QI2、QI3）として動作する。カウンタ220は、比較結果信号COMP1がHレベルのときカウント値を増加し、比較結果信号COMP1がLレベルのときカウント値を減少している。D/Aコンバータ222は、カウンタ220からのカウント値を受け、このカウンタ値に応じた8通りの制御電圧V3を出力している。制御電圧V3は、全ての補間回路196、200、208に供給されている。

【0209】図53は、補間回路196、200、208の詳細を示している。補間回路196、200、208は、第1の実施形態の補間回路39（図5）の定電流源39aの代わりに、制御電圧V3により電流が制御されるpMOS39eを有している。それ以外は、補間回路39と同一の構成である。

【0210】図54は、図50に示したファインカウンタ190の詳細を示している。ファインカウンタ190は、セット機能（/PRES）およびリセット機能（/RES）を備えた3つのフリップフロップ回路190aを直列に接続して構成されている。隣接する2つのフリップフロップ190の間には、カウンタ値の増加、減少を制御する制御回路190bが接続されている。制御回路190bは、カウントアップ信号FUPのHレベル時に出力Qの反転論理を次段のクロック端子CLKに伝え、カウントダウン信号FDOWNのHレベル時に出力Qの反転論理を次段に伝えている。初段のフリップフロップ回路190aのクロック端子CLKは、カウンタクロック信号CCLKを受けている。カウンタクロック信号CCLKは、内部クロック信号CLK-Kを遅延させた信号である。なお、図50に示した位相比較回路182が、分周した内部クロック信号DI、CLK、参照クロック信号REFCLKを比較する場合、カウンタクロック信号CCLKは分周した内部クロック信号CLK-Kに対応して生成される。

【0211】ファインカウンタ190は、開始信号STTの活性化時に各フリップフロップ回路190のセット端子/PRESおよびリセット端子/RESにHまたはLレベルを受け、所定のカウンタ値に初期化される。図55は、ファインカウンタ190の動作を示している。まず、ファインカウンタ190は、カウントアップ信号FUPのHレベル時に増加カウンタとして動作する。初段のフリップ

フロップ回路190aは、カウンタクロック信号CCLKの立ち上がりエッジに同期してカウンタ信号FQ1、/FQ1のレベルを反転する（図55（a））。制御回路190bは、カウントアップ信号FUPのHレベルを受けて、カウンタ信号FQ1の反転信号RS1を次段のフリップフロップ回路190aのクロック端子CLKに伝達する（図55（b））。次段のフリップフロップ回路190aは、反転信号RS1の立ち上がりエッジに同期してカウンタ信号FQ2、/FQ2のレベルを反転する（図55（c））。そして、同様にしてカウンタ信号FQ3が生成される。

【0212】また、ファインカウンタ190は、カウントアップ信号FUPのHレベル時に減少カウンタとして動作する。このとき、各制御回路190bは、カウンタ信号FQ1の反転信号RS1およびカウンタ信号FQ2の反転信号RS2を次段のフリップフロップ回路190aに伝達する（図55（d）、（e））。したがって、例えば、カウンタ信号FQ2は、カウンタ信号FQ1の立ち上がりに同期して変化し（図55（f））、カウンタ信号FQ3は、カウンタ信号FQ2の立ち上がりに同期して変化する（図55（g））。

【0213】図56は、図54に示したフリップフロップ回路190aの詳細を示している。フリップフロップ回路190aは、直列に接続された2つのフリップフロップ191a、191bを備えている。フリップフロップ191a、191bは、出力を互いに帰還させた2つのNANDゲートと、このNANDの入力をそれぞれ制御する2つのNANDゲートとで構成されている。

【0214】前段のフリップフロップ回路191aの各入力は、クロック信号CLKとその反転信号とをそれぞれ受けている。後段のフリップフロップ191bの各入力も、クロック信号CLKを受けている。また、後段のフリップフロップ191bの出力側の各NANDゲートは、セット信号/PREとリセット信号/RESとをそれぞれ受けている。図57は、フリップフロップ回路190aの動作を示している。

【0215】まず、クロック信号CLKの立ち上がりに同期してノードNF2のHレベルがフリップフロップ191bに伝達され、ノードNF4がLレベルになる（図57（a））。フリップフロップ191bは、ノードNF4のLレベルにより出力Q、QをそれぞれHレベル、Lレベルにする（図57（b））。次に、クロック信号CLKの立ち下がりに同期して、ノードNF1がHレベルになり、ノードNF4がHレベルになる（図57（c）、（d））。ノードNF2は、ノードNF1のHレベルによりLレベルになる（図57（e））。

【0216】次に、クロック信号CLKの立ち上がりに同期してノードNF1のHレベルがフリップフロップ191bに伝達され、ノードNF3がLレベルになる（図57（f））。フリップフロップ191bは、ノードNF3のLレベルにより出力Q、/QをそれぞれHレベル、Lレベルにする（図57（g））。次に、クロック信号CLKの立ち下がりに

りに同期して、ノードNF2がHレベルになり、ノードNF3がHレベルになる(図57(h),(i))。ノードNF1は、ノードNF2のHレベルによりLレベルになる(図57(j))。同様にして上記動作が繰り返され、出力Q、/Qは、クロック信号CLKの立ち上がり同期して、それぞれ交互にHレベル、Lレベルになる。

【0217】また、フリップフロップ191bは、セット信号/PREのLレベルを受けると、出力Q、/QをそれぞれHレベル、Lレベルにする(図57(k))。フリップフロップ191bは、リセット信号/RESのLレベルを受けると、出力Q、/QをそれぞれLレベル、Hレベルにする(図57(l))。図58は、図50に示したD/Aコンバータ194を示している。

【0218】D/Aコンバータ194は、2つのD/Aコンバータ195で構成されている。制御電圧V1を生成するD/Aコンバータ195は、入力端子Q1、/Q1、Q2、/Q2、Q3でカウンタ信号FQ1、/FQ1、FQ2、/FQ2、FQ3をそれぞれ受けている。制御電圧V2を生成するD/Aコンバータ195は、入力端子Q1、/Q1、Q2、/Q2、Q3でカウンタ信号/FQ1、FQ1、/FQ2、FQ2、/FQ3をそれぞれ受けている。

【0219】図59は、D/Aコンバータ195の詳細を示している。D/Aコンバータ195は、ソースが接地線に接続され、ドレインが定電流源195aに接続された8つのnMOS195bと、nMOS195bのゲートG1-G4に出力ノードをそれぞれ接続した4つのORゲート195cと、nMOS195bのゲートG5-G8に出力ノードをそれぞれ接続した4つのANDゲート195dと、ORゲートおよびANDゲートを制御する4つのANDゲート195eと、3つのORゲート195fとで構成されている。

【0220】各ANDゲート195eは、カウンタ信号Q1、/Q1、Q2、/Q2のデコードとして機能する。各ORゲート195fは、デコード信号と、その上位のデコード信号とのOR信号を出力している。図60は、D/Aコンバータ195の動作を示している。D/Aコンバータ195は、カウンタ信号Q1、Q2、Q3の増加に伴い、順次nMOSのゲートG1-G8をオンする。このため、制御電圧V1は、カウンタ値に反比例して低くなる。

【0221】図61は、D/Aコンバータ195が受けるカウンタ値、出力電圧と、補間回路の遅延時間との関係を示している。通常、D/Aコンバータでは、制御電圧VMAX、VMINは、それぞれ電源電圧VDD、接地電圧VSSに対して所定のオフセットを持っている。これは、カウンタ値に対するD/Aコンバータの出力電圧の変化量と、補間回路の遅延時間の変化量とをそれぞれ一定(線形)にするためである。しかし、本発明では、制御電圧VMINにオフセットを持たせた場合、カウンタ値が“0”の場合にも、補間回路が位相調整を行ってしまう可能性がある。具体的には、制御電圧VMINが、図53に示した補間回路196、200、208のnMOS39cのしきい値を越えると、正しい位相調整ができなくなる。

【0222】このため、本実施形態では、D/Aコンバータ195は、カウンタ値が“0”のときに制御電圧VMINを強制的に接地電圧VSSにしている。図62は、図50に示した第2セクタ192の詳細を示している。第2セクタ192は、NORゲートおよびインバータを有し選択信号SELAを生成する組み合わせ回路192aと、NANDゲートおよびインバータを有し選択信号SELB、/SELBをそれぞれ生成する組み合わせ回路192b、192cと、選択信号SELB、/SELBの波形を緩やかにするCR時定数回路192dとで構成されている。CR時定数回路192dにより選択信号SELB、/SELBの波形を緩やかにすることで、図51に示した合成回路204は、内部クロック信号CLKIA、CLKIBを徐々に切り替えることができる。

【0223】組み合わせ回路192aは、図50に示したラフカウンタ188のカウント値が“0”(RQ1=L、RQ2=L)、かつファインカウンタ190のカウント値が“4、5、6、7”のときに、選択信号SELAをHレベルにする回路である。組み合わせ回路192bは、ラフカウンタ188のカウント値が“0”(RQ1=L、RQ2=L)、かつファインカウンタ190のカウント値が“2、3、4、5”のときに、選択信号SELBをHレベルにする回路である。

【0224】組み合わせ回路192cは、ラフカウンタ188のカウント値が“0”(RQ1=L、RQ2=L)、かつファインカウンタ190のカウント値が“2、3、4、5”のときに、選択信号/SELBをLレベルにする回路である。ところで、後述するように、ラフカウンタ188のカウント値が“0”のとき、内部クロック信号CLKIの内部クロック信号CLK-Kに対する位相は、ファインカウンタ190のカウント値に対応して0-90°の範囲で11°ずつ8通りにずらされる。

【0225】したがって、組み合わせ回路192aの論理では、選択信号SELAは、内部クロック信号CLKIの位相が内部クロック信号CLK-Kの位相に対して45-90°ずれているときにHレベルになる。同様に、組み合わせ回路192b、192cの論理では、選択信号SELB、/SELBは、内部クロック信号CLKIの位相が内部クロック信号CLK-Kの位相に対して22.5-67.5°ずれているときに、それぞれHレベル、Lレベルになる。

【0226】図63は、図50に示したスイッチ回路174、第1セクタ176の詳細を示している。スイッチ回路174は、第1の実施形態のスイッチ回路59

(図4)と同様に動作する回路である。スイッチ回路174は、制御端子 $\alpha 1-\alpha 5$ 、 $\beta 1-\beta 5$ から制御電圧VMIN、VMAX、V1、V2のいずれかを出力し、制御端子 $\alpha 6$ 、 $\beta 6$ から制御電圧VMIN、VMAXのいずれかを出力している。スイッチ回路174は、制御端子 $\alpha 1-\alpha 5$ 、 $\beta 1-\beta 5$ にそれぞれ対応するスイッチ部61(第1の実施形態の図6と同一)を有している。

【0227】第1セクタ176は、ラフカウンタ18

8からのカウンタ値RQ1、/RQ1、RQ2、/RQ2および選択信号SELAを受け、スイッチ回路174を制御する制御信号を出力している。第1セクタ176は、カウンタ値RQ1、/RQ1、RQ2、/RQ2からデコード信号を生成するデコーダ176aおよび複数のANDゲートとインバータとを有する組み合わせ回路を有している。

【0228】図64は、スイッチ回路174および第1セクタ176の動作の概要を示している。スイッチ回路174および第1セクタ176は、遅延回路198における所定の補間回路（例えば196-3）の制御端子 α 、 β に制御電圧V1、V2を供給するときに、1つ前段の補間回路（例えば196-4）の制御端子 α 、 β に制御電圧VMIN、制御電圧VMAXを供給し、後段側の全ての補間回路（例えば196-2、196-1）の制御端子 α 、 β に制御電圧VMAX、制御電圧VMINを供給する。

【0229】補間回路196-1は、カウンタ値RQ2=L、RQ1=L、選択信号SELA=Hのときに、制御電圧V1、V2を受ける。この状態は、内部クロック信号CLKIの位相を内部クロック信号CLK-Kの位相に対して45-90°ずらすときに使用される。補間回路196-2は、カウンタ値RQ2=L、RQ1=Hのときに、制御電圧V1、V2を受ける。この状態は、内部クロック信号CLKIの位相を内部クロック信号CLK-Kの位相に対して90-180°ずらすときに使用される。

【0230】補間回路196-3は、カウンタ値RQ2=H、RQ1=Lのときに、制御電圧V1、V2を受ける。この状態は、内部クロック信号CLKIの位相を内部クロック信号CLK-Kの位相に対して180-270°ずらすときに使用される。補間回路196-4は、カウンタ値RQ2=H、RQ1=Hのときに、制御電圧V1、V2を受ける。この状態は、内部クロック信号CLKIの位相を内部クロック信号CLK-Kの位相に対して270-360°ずらすときに使用される。

【0231】補間回路196-5は、カウンタ値RQ2=L、RQ1=L、選択信号SELA=Lのときに、制御電圧V1、V2を受ける。この状態は、内部クロック信号CLKIの位相を内部クロック信号CLK-Kの位相に対して0-45°の範囲でずらすときに使用される。図65は、ラフカウンタ188、ファインカウンタ190、および選択信号SELA、SELB、/SELBに対応して動作する補間回路196、200の状態を示している。

【0232】内部クロック信号CLKIの内部クロック信号CLK-Kに対する位相は、ラフカウンタ188の値に応じて90°ずつ変更される。また、内部クロック信号CLKIの位相は、各90°の範囲内において、ファインカウンタ190の値に応じて、約11°ずつ変更される。選択信号SELAは、上述したように、45-90°の範囲でHレベルになり、それ以外でLレベルになる。この結果、図64に示したように、遅延回路198において、0-45°の範囲では、補間回路196-5が動作し、45-90°の範囲では、補間回路196-1が動作する。同様

に、90-180°の範囲では、補間回路196-2が動作し、180-270°の範囲では、補間回路196-2が動作し、270-360°では、補間回路196-2が動作する。

【0233】一方、遅延回路202において、補間回路200-1は、少なくとも0-90°の範囲で動作する。選択信号SELB（/SELB）は、図62で説明したように、内部クロック信号CLKIの位相が内部クロック信号CLK-Kの位相に対して22.5-67.5°の範囲でずれているときに、それぞれHレベル、Lレベルになる。このとき、図5.1に示した合成回路204は、内部クロック信号CLKIBを内部クロック信号CLKIとして出力する。

【0234】したがって、0-22.5°の範囲では、補間回路196-5が使用され、22.5-67.5°の範囲では、補間回路200-1が使用され、67.5-90°の範囲では、補間回路196-1が使用される。

【0235】図66は、選択信号SELA、SELBの状態および各位相において動作する補間回路を示している。破綻線の円弧は、図5.1に示した合成回路204からは出力されないが、合成回路204に内部クロック信号CLKIA（またはCLKIB）を出力している補間回路を示している。上述した半導体集積回路では、以下示すように、内部クロック信号CLKIの位相調整が行われる。

【0236】図67は、位相調整の制御を示すフローチャートである。位相調整は、初期設定、ラフ調整、ファイン調整の順で行われる。

(a) 初期調整
初期調整は、主に図5.2に示した初期化回路206が行う。初期調整では、以下のように、各補間回路196、200、208の遅延時間が内部クロック信号CLKIの周期の4分の1（90°）にされる。

【0237】まず、ステップS61において、第1の実施形態のステップS1と同様に各回路が初期化される。次に、ステップS62において、初期化回路206の位相比較回路216は、分周回路212、214から分周された内部クロック信号CLKI、CLKI2の位相を比較し、比較結果を出力する。

【0238】ステップS63において、初期化回路206は、両信号の位相が一致（所定値内）したときには、制御をステップS65に移行する。ステップS65以降では、初期化回路206は、位相比較回路216による位相比較を行わない。このため、制御電圧V3は一定値に保持される。両信号の位相が一致しないときには、制御は、ステップS64に移行する。

【0239】ステップS64において、図5.2に示したカウンタ220は、比較結果に基づいてカウンタ値を増加または減少させる。D/Aコンバータ222は、カウンタ値に対応する制御電圧V3を出力する。各補間回路196、200、208は、制御電圧V3を受けて電流供給量が変化し、最大遅延時間が変化する。そして、図5.2に

示した内部クロック信号CLKI2の位相は、内部クロック信号CLKIの位相に対して変化する。この後、制御は再びステップS62に移行する。そして、内部クロック信号CLKI、CLKI2の位相が比較される。

【0240】ステップS63において、内部クロック信号CLKI、CLKI2の位相が一致した場合、各補間回路196、200、208の最大遅延時間は、内部クロック信号CLKIの周期の4分の1(90°)になっている。この結果、直列に接続された4つの補間回路を、それぞれ、0-90°、90-180°、180-270°、270-360°の位相調整に使用することで、内部クロック信号CLKIの位相調整を行うことができる。

【0241】図68は、初期調整後の位相調整の一例を示している。例えば、入力クロックに対して位相を370°遅らせた出力クロックの入力クロックに対する位相差は、位相を10°遅らせた出力クロックと同じである。したがって、上記初期調整後は、最低4つの補間回路(遅延回路)を使用することで位相調整が可能になる。

【0242】しかし、例えば、4つの補間回路196-1、4、...、196-1のみで位相を調整した場合、以下の不具合が発生する。すなわち、補間回路196-4で入力クロックに対して位相を350°遅らせ、さらに位相を360°まで遅らせる場合、補間回路196-4から補間回路196-1に切り替わる。このとき、図64に示したように、補間回路196-3、196-2において、制御電圧VMAXが供給されている制御端子α、βには、最大電圧VMINが供給され、最大電圧VMINが供給されている制御端子α、βには、制御電圧VMAXが供給される。この結果、内部クロック信号CLKIにジッタが発生する。

【0243】このため、図51に示した遅延回路198において、位相を調整する補間回路196を5段とし、さらに、補間回路196-1、196-2と重なって動作する補間回路200-1を有する遅延回路202を形成している。

(b) ラフ調整

ラフ調整では、遅延回路198、202が使用され、内部クロック信号CLKIの位相が90°ずつ変更される。

【0244】まず、ステップS65において、図50に示した位相比較回路182は、参照クロック信号REFCLKと内部クロック信号DCLKとの位相を比較し、比較結果を出力する。次に、ステップS66において、ラフ制御部184は、位相比較回路182から出力される比較結果信号COMPが反転したときに、ラフロックオン信号RLON2を活性化し、制御をステップS68に移行する。両信号の位相が一致しないときには、制御は、ステップS67に移行する。

【0245】ステップS67において、ラフ制御部184は、比較結果信号COMPに基づいて、カウントアップ信号RUPまたはカウントダウン信号RDOWNを出力し、ラフカ

ウンタ188のカウンタ値を変更する。第1セクタ176、第2セクタ192、およびスイッチ回路174は、カウンタ値に基づいて遅延回路198、202を制御する。

【0246】なお、ラフ制御では、図50に示したファインカウンタ190は、カウント値を中央の値に保持している。このため、第1の実施形態の図36で説明したように、内部クロック信号CLKIの位相は、補間回路196、200の切り替え時に均等に変化する(図65の下部)。ラフ制御では、内部クロック信号CLKIの位相は、内部クロック信号CLK-Kに対して45°、135°、225°、315°ずれる。このため、補間回路200-1、196-2、196-3、196-4が使用される。

【0247】また、使用しない補間回路(例えば、図64の“Don't care”)のイネーブル信号ENにLレベルを供給することで、消費電力が低減される。この後、制御は、再びステップS65に移行する。

【0248】(c) ファイン調整
ファイン調整では、遅延回路198、202が使用され、内部クロック信号CLKIの位相の微調整が行われる。まず、ステップS68において、第1の実施形態と同様のファイン初期調整(図37)が行われる。このため、ステップS68では、内部クロック信号CLKIの位相が、約11°の整数倍ずつ変更される。

【0249】次に、ステップS69において、ファイン調整が繰り返し行われる。ステップS68では、内部クロック信号CLKIの位相が、約11°ずつ変更される。ステップS68、S69では、図50に示したファイン制御部184は、比較結果信号COMPに基づいて、カウントアップ信号FUPまたはカウントダウン信号FDOWNを出力し、ファインカウンタ190のカウンタ値を変更する。D/Aコンバータ194は、カウンタ値に基づいて遅延回路198、202を制御する。ここで、第1セクタ176は、図64に示したように、隣接する補間回路196の制御端子α、βに、制御電圧V1、V2をそれぞれ逆に供給している。このため、図65に示したように、補間回路196、200の切り替え時に、ファインカウンタ190のカウンタ値を最大値から最小値または最小値から最大値に変える必要はない。したがって、第1の実施形態と同様に、補間回路の切り替え時に、カウンタ値の変動によって内部クロック信号CLKIにジッタが発生することが防止される。

【0250】次に、内部クロック信号CLKIの位相を、内部クロック信号CLK-Kの位相に対して0-90°ずらす制御について説明する。図65で説明したように、遅延回路198において、0-45°の範囲では、補間回路196-5が動作し、45-90°の範囲では、補間回路196-1が動作している。また、遅延回路202において、0-90°の範囲では、補間回路200-1が動作している。すなわち、補間回路196-1、196-5と補間

回路200-1とは、互いに重なって動作している。そして、図51に示した合成回路204にLレベルの選択信号SELBが供給されるとき、遅延回路198から出力される内部クロック信号CLKIAが内部クロック信号CLKIとして出力される。合成回路204にHレベルの選択信号SELBが供給されるとき、遅延回路202から出力される内部クロック信号CLKIBが内部クロック信号CLKIとして出力される。初期調整により、0-90°の範囲では、内部クロック信号CLKIA、CLKIBの位相は同一になっている。このため、内部クロック信号CLKIにジッタを発生させることなく、位相が調整され、内部クロック信号CLKIA、CLKIBが合成回路204により合成される。

【0251】また、補間回路196-1、196-5と補間回路200-1とが互いに重なって動作することで、図615に示したように、補間回路200-1を使用している45°で、補間回路196-1、196-5が切り替えられる。このため、この切り替えが内部クロック信号CLKIに影響することはない。この実施形態の半導体集積回路においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、ラフ制御部184およびファイン制御部186は、遅延回路198の前段側の補間回路196-5および初段の補間回路196-1で位相を調整しているときに、同時に遅延回路202の補間回路200-1で位相を調整した。このため、ラフ制御部184およびファイン制御部186は、補間回路200-1で位相を調整しながら、補間回路196-5、補間回路196-1を切り替えることができる。したがって、補間回路196-5、補間回路196-1の切り替えが内部クロック信号CLKIに影響することを防止できる。この結果、内部クロック信号CLKIにジッタが発生することを防止できる。

【0252】遅延回路202に遅延回路198の補間回路196と同一の補間回路200を1つ形成した。このため、補間回路200で内部クロック信号CLKIの位相を調整している間に、余裕を持って補間回路196を切り替えることができる。また、合成回路204は、余裕を持って内部クロック信号CLKIA、CLKIBの合成を制御できる。

【0253】初期化回路206による初期調整で、各補間回路196、200、208の最大遅延時間を内部クロック信号CLK-K、CLKIの周期の4分の1(90°)に調整した。また、遅延回路198の補間回路196を6段にした。このため、遅延回路198は、内部クロック信号CLK-Kを1周期分以上遅延させることができる。したがって、遅延回路198の補間回路196を順次切り替えることで、内部クロック信号CLK-K、CLKIの位相を必ず一致させることができる。したがって、少ない補間回路196で精度よく位相を調整できる。

【0254】初期化回路206を動作することで、動作電圧、動作温度に応じて補間回路196、200の最大

遅延時間を最適に設定することができる。初期化回路206に形成した遅延回路210の入力と出力との位相を比較して、間接的に補間回路196、200に供給される制御電圧V3を求めた。このため、初期化回路206は、補間回路196、200を位相調整に必要な回路のみで構成することができる。余分な回路がないため、位相調整の精度を高くできる。

【0255】位相を調整する補間回路196、200と、初期調整において最大遅延時間を求める補間回路208とを同じ回路で構成した。このため、補間回路196、200に供給される制御電圧V3を精度よく求めることができる。初期化回路206に形成した遅延回路210の4つの補間回路208の総遅延時間を内部クロック信号CLKIの周期と同一にし、位相を調整する補間回路196の数を、補間回路208の数より多い6つにした。このため、補間回路196により、内部クロック信号CLKIの位相を1周期以上調整することができる。すなわち、内部クロック信号CLK-K、CLKIの位相を必ず一致させることができる。

【0256】初期調整において、補間回路196、200に供給する制御電圧V3を求めた後、ラフ調整およびファイン調整を行った。このため、ラフ調整およびファイン調整時に、制御電圧V3が変化することはない。したがって、ラフ調整およびファイン調整を安定して精度よく行うことができる。なお、上述した第1の実施形態では、図5に示したように、差動増幅型の補間回路39を形成し、カウンタ信号CNT3-CNT0の重み付けに応じた位相の内部クロック信号を生成した例について述べた。本発明はかかる実施形態に限定されるものではない。以下、補間回路の別の構成例を示す。なお、以下の構成例は、電流源を制御電圧V3で制御することで、第4の実施形態の補間回路296、200、208としても使用することができる。

【0257】また、第4の実施形態における遅延制御回路172および初期化回路206の各補間回路196、200、208にそれぞれ専用の電源を使用することで、外部から供給される電源電圧のゆらぎに対して補間回路196、200、208を安定して動作させることができる。そして、補間回路196、200、208に降圧した電源電圧を供給し、または補間回路196、200、208に降圧した専用の電源電圧をそれぞれ供給することで、補間回路196、200、208を、さらに安定して動作させることができる。

【0258】また、第4の実施形態における初期化回路206に供給されるクロック信号は、合成回路204から出力される内部クロック信号CLKIに限られず、内部クロック信号CLK-Kと同一の周期を有する内部クロック信号であればよい。さらに、内部クロック信号CLK-Kの代わりに、初期化回路206から出力される内部クロック信号CLKI2を遅延制御回路172の入力クロック信号に

使用することも可能である。

【0259】図69に示す補間回路228は、定電流源228aと、定電流源228aから供給される電流を引き抜くゲート幅の異なる4つのnMOS228b、228c、228d、228eと、各トランジスタのソース側に直列に接続された4つのnMOS228fとを2組備え、さらに、出力を互いに接続した2つの差動増幅回路228g、228hからなる差動増幅部2281を備えて構成されている。nMOS228b、228c、228d、228eに記載されている数字は、ゲート幅の比率を示している。nMOS228e、228d、228c、228bのゲートには、それぞれカウンタ信号CNT3-CNT0が供給されている。nMOS228fのゲートには、定電圧信号V_{CC}が供給されている。定電流源228aに接続されたノード α 1、 β 1は、それぞれ差動増幅回路228g、228hにおける接地線VSSに接続されたnMOSのゲートに接続されている。

【0260】差動増幅部2281の出力は、差動増幅回路からなるバッファ170a、170bに接続されている。バッファ230a、230bの出力からは、内部クロック信号CLKI、/CLKIが出力されている。補間回路228では、カウンタ信号CNT3-CNT0の重み付けに応じてノード α 1、 β 1の電圧が変化し、差動増幅回路228g、228hの増幅能力が変化することで、入力端子IN1、IN2（または/IN1、/IN2）に供給される内部クロック信号の間に位相を有する内部クロック信号CLKI（または/CLKI）が生成される。

【0261】図70に示す補間回路232は、ゲート幅が異なり、出力が互いに接続された4つのCMOSスイッチ232a、232b、232c、232dを2組備えて構成されている。CMOSスイッチ232a、232b、232c、232dに記載されている数字は、ゲート幅の比率を示している。入力端子IN1（または/IN1）から内部クロック信号が供給されるCMOSスイッチ232a、232b、232c、232dは、カウンタ信号CNT3-CNT0で制御されている。入力端子IN2（または/IN2）から内部クロック信号が供給されるCMOSスイッチ232a、232b、232c、232dは、インバータを介してカウンタ信号CNT3-CNT0の反転論理で制御されている。補間回路232の出力ノードNOUTから出力される内部クロック信号は、バッファ42（または44）に供給されている。

【0262】補間回路232では、CMOSスイッチ232a、232b、232c、232dが、カウンタ信号CNT3-CNT0の重み付けに応じた可変抵抗として作用することで、2つの内部クロック信号の間に位相を有する内部クロック信号CLKI（または/CLKI）が生成される。図71に示す補間回路234は、入力端子IN1（または/IN1）を介して内部クロック信号を受けるスイッチ回路236a、236b、236c、236dと、入力端子IN

2（または/IN2）を介して内部クロック信号を受けるスイッチ回路238a、238b、238c、238dと、4つのインバータ240と、抵抗R12、R13とを備えている。各スイッチ回路は、クロックドインバータとこのクロックドインバータのpMOSに接続されたインバータとで構成されている。スイッチ回路236a-236dの制御端子には、それぞれ、インバータ240を介してカウンタ信号C0-C3が供給されている。スイッチ回路238a-238dの制御端子には、それぞれ、カウンタ信号C0-C3が供給されている。各スイッチ回路に記載されている数字は、クロックドインバータのゲート幅の比率を示している。すなわち、スイッチ回路236a-236dのクロックドインバータのオン抵抗は、順次2分の1になっている。同様に、スイッチ回路238a-238dのクロックドインバータのオン抵抗は、順次2分の1になっている。換言すれば、4つのスイッチ回路236a-236d（または238a-238d）により、カウンタ信号C3-C0の重み付けに応じて変化する可変抵抗が形成されている。抵抗R12、R13には、供給される2つの内部クロック信号の変化に伴ってカウンタ信号C3-C0の重み付けに応じた電流が流れる。そして、抵抗R12、R13の間のノードに、2つの内部クロック信号の間に位相を有する内部クロック信号CLKa（または/CLKa）が生成される。

【0263】バッファ42、44は、直列に接続され両端が電源線VDDおよび接地線VSSに接続された抵抗R14、R15と、抵抗R14、R15の間の電圧と内部クロック信号CLKn（または/CLKn）とを受ける差動増幅回路242aと、差動増幅回路242aからの出力波形を成形し内部クロック信号CLKb（または/CLKb）として出力するインバータ242bとを備えている。

【0264】上述した第1の実施形態では、2進カウンタ136を4ビットで構成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、補間回路38、40の位相調整の精度に合わせて、2進カウンタ136を6ビットまたは8ビットで構成してもよい。上述した第1の実施形態では、シフトレジスタ63で補間回路39を切り替えた例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、制御信号A、B、C、Dを受けてアップ/ダウンするカウンタ、およびこのカウンタの出力をデコードする回路を構成し、このデコード信号で補間回路を切り替えてもよい。

【0265】上述した第1の実施形態では、ラフ制御回路51に設けたシフト方向ラッチ122で補間回路39の切替方向を制御した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、シフトレジスタ63の情報を比較することで補間回路39の切替方向を制御してもよい。上述した第1の実施形態では、補間回路として動作している補間回路39の2つ前

の補間回路まで活性化した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、3つ前の補間回路まで活性化してもよい。この場合、ラフ制御において、前段側への切替により遅延回路となる補間回路39を安定に動作させることができる。また、ファイン制御において、カウンタ値C3-C0が最大値または最小値に近づいた時に、2つ前の補間回路39を活性化してもよい。

【0266】上述した実施形態では、相補のクロック信号CLK、/CLKが供給されるDDR-SDRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、クロック信号CLKのみが供給されるSDRAMに適用してもよい。上述した実施形態では、本発明を、DDR-SDRAMに適用した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、本発明をDRAM、SRAM等の半導体メモリに適用してもよい。さらに、本発明をDRAMのメモリコアを内蔵したシステムLSIに適用してもよい。

【0267】上述した第3の実施形態では、第1分周回路156にCMOSスイッチで形成されたスイッチ156a、156b、156cを備え、モードレジスタを所定の値にすることでスイッチ156a、156b、156cの切り替えを行う例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、第1分周回路156のスイッチをポリシリコン等のヒューズで構成し、ヒューズの溶断によりスイッチの切り替えを行ってもよい。この場合、半導体集積回路の製造工程で、参照クロックREFCLKの出力タイミングを設定できる。一般に、半導体集積回路は、動作周波数ごとに製品名を変えて出荷されている。また、半導体集積回路は、ウエハ内でのチップの位置、製造ロットにより、周波数特性がある程度ばらつく。このため、製造工程において製品の動作周波数に応じてヒューズを溶断し、参照クロックREFCLKの出力タイミングを設定することで、個々の半導体集積回路に応じて、最適な参照クロックREFCLKの出力タイミングを設定できる。この結果、遅延段活性化回路56を有効に動作させて消費電力を低減できる。

【0268】また、チップ上に、スイッチを制御するためのパッド等の取り出し部を形成してもよい。この場合には、製品の出荷前には、これ等パッドを試験端子として使用して、製品の評価を行うことができる。製品の出荷時には、パッドをボンディングワイヤ等で電源線VDDまたは接地線VSSに接続することで、スイッチをヒューズで構成した場合と同様の効果を得ることができる。さらに、製品の出荷時に、パッドと外部端子とを接続することで、半導体集積回路が搭載されるシステムのクロック周波数に応じて、基板上で参照クロックREFCLKの出力タイミングを設定できる。

【0269】また、上述した第1の実施形態では、図9

に示したように、ダミー出力バッファ86およびダミー入力バッファ88をダミー回路として使用してきた。しかしながら、ダミー入力バッファ88のみを使用することとで、クロック信号CLKのタイミングに合わせることができる。あるいは、ダミー入力バッファ88のみを使用し、参照クロック信号REFCLKにラッチ回路分の遅延回路を追加することで、クロック信号CLKからラッチ回路分の遅い内部クロック信号を作ることができる。

【0270】上述した第3の実施形態では、第1分周回路156にスイッチ156a、156b、156cを備えた例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、第2分周回路84にもスイッチを備えてもよい。

【0271】上述した第4の実施形態では、ファインカウンタ190を3ビットで構成した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、補間回路196、200の位相調整の精度に合わせて、ファインカウンタ190を4ビットまたは8ビットで構成してもよい。上述した第4の実施形態では、位相比較回路182は、内部クロック信号DCLK、参照クロック信号REFCLKを直接比較した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、分周回路で分周した内部クロック信号DCLK、参照クロック信号REFCLKを比較してもよい。この場合には、消費電力を低減できる。また、ラフ調整からファイン調整に切り替え後に、分周回路を使用して、位相比較の頻度を下げてもよい。この場合、消費電力を低減できる。

【0272】この際、第3の実施形態と同様に、分周回路にスイッチを形成し、モードレジスタを所定の値にすることでスイッチを切り替えてもよい。スイッチの切り替えは、モードレジスタに限らず、ヒューズ、外部端子による制御、外部端子のワイヤボンディング等で可能である。上述した第4の実施形態では、初期調整の後にラフ調整およびファイン調整を行った例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、初期調整とラフ調整およびファイン調整とを同時に行ってもよい。

【0273】また、上述した実施形態では、補間回路39、196、200、208に電源電圧VDDを供給した例について述べた。しかしながら、本発明はかかる実施形態に限定されるものではない。例えば、電源電圧VDDより低い電圧を供給してもよい。この場合、各補間回路は、ノイズの影響を受けにくくなる。補間回路39、196、200、208の電源線を他の回路の電源線と分離することで、さらにノイズの影響を受けにくくなる。各補間回路ごとに別の電源線（降圧電源等）を接続することで、さらにノイズの影響を受けにくくなる。

【0274】セルフリフレッシュ等のモードでは、DLLを止め、DLLを動作するモードに移行後に、位相比較の

頻度を上げてよい。また、セルフリフレッシュ後は、ラフ調整から行ってもよい。そして、内部クロック信号CLKIとクロック信号CLKとの位相が所定以上ずれたときにロックアウト情報を出力する位相比較回路を設け、ロックアウト情報が出力されたときに、位相比較の頻度を上げてよい。

【0275】以上の実施形態において説明した発明を整理して以下の項を開示する。

(1) 請求項1記載の遅延回路において、前記位相調整回路の後段側の補間回路は、前記遅延回路として動作し、前記位相調整回路の前段側の補間回路の少なくとも一部は、動作を停止することを特徴とする遅延回路。この遅延回路では、遅延クロック信号を生成するために必要な補間回路のみが動作するため、消費電力が低減される。

【0276】(2) 上記(1)記載の遅延回路において、前記遅延クロック信号の遅延時間の調整は、前記位相調整回路として動作させる前記補間回路の切り替えおよび該位相調整回路の位相制御の2段階で調整されることを特徴とする遅延回路。この遅延回路では、遅延クロック信号の遅延時間が、補間回路の切替と位相調整回路の制御との2段階で調整される。このため、遅延クロック信号の遅延時間をずらす調整が早く行われる。

【0277】(3) 請求項1記載の遅延回路を備えたことを特徴とする半導体集積回路。この半導体集積回路では、内部クロック信号等のクロック信号の遅延時間が簡易かつ精度よく調整される。

(4) 請求項2記載の半導体集積回路において、前記比率情報をシフトレジスタまたはカウンタにより生成されることを特徴とする半導体集積回路。

【0278】この半導体集積回路では、シフトレジスタまたはカウンタにより、比率情報が容易に生成される。

(5) 請求項3記載の半導体集積回路において、前記制御回路は、前記基準クロック信号と前記遅延クロック信号との位相が逆転したときに、比較結果が前記遅延段の遅延時間以下になったと判断することを特徴とする半導体集積回路。

【0279】この半導体集積回路では、制御回路は、遅延クロック信号と基準クロック信号との位相が逆転したことに基いて、遅延クロック信号と基準クロック信号との位相差が遅延段の遅延時間以下になったと判断する。そして、位相調整回路による微調整を開始する。位相の逆転の判断は、ラッチ等の簡易な回路で容易に行うことができ、回路規模を小さくできる。

【0280】(6) 請求項2記載の半導体集積回路において、前記各補間回路には、独立した電源電圧が供給されていることを特徴とする半導体集積回路。この半導体集積回路では、補間回路には、独立した電源電圧が供給されているため、他の回路の影響を受けて、補間回路から出力されるクロック信号の位相が変動することを防止

できる。また、補間回路に低電圧を供給することで、消費電力を低減できる。

【0281】(7) 請求項2記載の半導体集積回路において、前記位相比較の開始時に、前記基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えたことを特徴とする半導体集積回路。この半導体集積回路では、位相比較の開始時に、基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えている。このため、位相比較の開始時に、各制御回路を互いに同期させることができ、常に所定の状態から位相比較を開始できる。

【0282】(8) 上記(7)記載の半導体集積回路において、前記開始信号発生器は、前記基準クロック信号の立ち下がりに同期して、開始信号を活性化することを特徴とする半導体集積回路。

【0283】この半導体集積回路では、開始信号発生器は、基準クロック信号の立ち下がりに同期して開始信号を活性化する。このため、基準クロック信号のHレベル期間が開始信号によりマスクされ、ハザードとなることを防止することができ、遅延回路を安定して動作させることができる。

(9) 請求項2記載の半導体集積回路において、前記基準クロック信号および前記遅延クロック信号の周波数をそれぞれ分周する分周器を備え、前記位相比較回路には、前記各分周器を介して周波数を分周された前記基準クロック信号および前記遅延クロック信号が供給されることを特徴とする半導体集積回路。

【0284】この半導体集積回路では、基準クロック信号および遅延クロック信号の周波数をそれぞれ分周する分周器を備えている。位相比較回路には、各分周器を介して周波数を分周された基準クロック信号および遅延クロック信号が供給される。このため、高い周波数の基準クロック信号が供給される場合にも、位相比較回路を確実に動作させることができる。また、位相比較の頻度が少なくなるため、消費電力を低減できる。

【0285】(10) 上記(9)記載の半導体集積回路において、前記位相比較の開始時に、前記基準クロック信号に同期して開始信号を活性化する開始信号発生器を備え、前記各分周器は、前記開始信号の活性化を受けて動作を開始し、所定のクロック数後に、それぞれ分周された前記基準クロック信号および前記遅延クロック信号の出力を開始することを特徴とする半導体集積回路。

【0286】この半導体集積回路では、位相比較の開始時に、基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えている。各分周器は、開始信号の活性化を受けて動作を開始し、所定のクロック数後に、それぞれ分周された基準クロック信号および遅延クロック信号の出力を開始する。このため、基準クロック信号が特定の周波数の場合に、位相比較回路に供給される基準クロック信号と遅延クロック信号との位相のずれ

の最大値を小さくできる。この結果、粗調整における位相比較の回数を低減できる。補間回路の段数を低減できる。

【0287】(11)上記(10)記載の半導体集積回路において、前記所定のクロック数は、基準クロック信号の周波数に応じて設定可能であることを特徴とする半導体集積回路。この半導体集積回路では、開始信号の活性化を受けてから分周された基準クロック信号および遅延クロック信号の出力を開始するまでのクロック数を、基準クロック信号の周波数に応じて設定することで、位相調整に必要な位相比較の回数を低減できる。

【0288】(12)上記(10)記載の半導体集積回路において、前記所定のクロック数を設定するモードレジスタを備えたことを特徴とする半導体集積回路。この半導体集積回路では、ウエイトクロック数の設定を行うモードレジスタを備えた。このため、電源の立ち上げ時等にモードレジスタを変更することで、基準クロック信号の周波数に応じたウエイトクロック数の設定を容易に行うことができる。

【0289】(13)上記(11)記載の半導体集積回路において、前記所定のクロック数を設定するヒューズを備えたことを特徴とする半導体集積回路。この半導体集積回路では、所定のクロック数の設定を行うヒューズを備えた。このため、製造工程において、製品仕様(周波数)に応じてヒューズを溶断することで、所定のクロック数の設定を簡易かつ確実に行うことができる。

【0290】(14)上記(10)記載の半導体集積回路において、前記所定のクロック数を設定する制御端子を備えたことを特徴とする半導体集積回路。この半導体集積回路では、所定のクロック数の設定を行う制御端子を備えた。このため、これ等制御端子を試験端子として使用して、製品の評価を行うことができる。これ等制御端子を電源線VDDまたは接地線VSSに接続することで、所定のクロック数に設定できる。これ等制御端子を外部端子にすることで、半導体集積回路が搭載されるシステムのクロック周波数に応じて、基板上で所定のクロック数の設定を行うことができる。

【0291】(15)請求項4記載の半導体集積回路において、前記調整回路は、前記調整遅延回路に供給される基準クロック信号の位相と出力クロック信号の位相とを比較する位相比較回路を備え、前記位相比較回路の比較結果に基づいて、前記調整遅延回路の前記各補間回路の最大遅延時間を、前記基準クロック信号の周期の整数分の1または整数倍に調整することを特徴とする半導体集積回路。

【0292】この半導体集積回路では、調整回路の位相比較回路は、調整遅延回路の入力クロック信号の位相と出力クロック信号の位相とを比較する。調整回路は、位相比較回路の比較結果に基づいて、調整遅延回路の各補間回路の最大遅延時間を、基準クロック信号の周期の整

数分の1または整数倍に調整する。そして、調整遅延回路の調整により、間接的に主遅延回路および副遅延回路の補間回路の最大遅延時間は、基準クロック信号の整数分の1または整数倍にされる。したがって、調整回路の調整が主遅延回路および副遅延回路の補間回路に影響することはない、これ等補間回路は安定して動作する。

【0293】(16)請求項5記載の半導体集積回路において、前記調整遅延回路と前記主遅延回路と前記副遅延回路との前記補間回路は、同一であることを特徴とする半導体集積回路。この半導体集積回路では、調整回路は、主遅延回路および副遅延回路の補間回路と同一である調整遅延回路の補間回路を調整する。このため、基準クロック信号の位相が容易に調整される。

【0294】(17)上記(16)記載の半導体集積回路において、前記主遅延回路の前記補間回路の数は、前記調整遅延回路の前記補間回路の数より多いことを特徴とする半導体集積回路。

【0295】この半導体集積回路では、主遅延回路の補間回路の数が、調整遅延回路の補間回路の数より多い。例えば、調整遅延回路を4つの補間回路で構成し、1つの補間回路の最大遅延時間を基準クロック信号の4分の1(90°)に調整する。このとき、主遅延回路は、5つの補間回路で構成されている。主遅延回路の位相調整範囲は、450°になる。このため、主遅延回路の補間回路のうち両端の2つは、同じ位相領域(例えば0-90°)で使用できる。この結果、例えば、350°から370°(=10°)への位相調整の際に、一端の補間回路で調整している間に、他端の補間回路で調整の準備をすることができ、補間回路を円滑に切り替えることができる。

【0296】(18)請求項4記載の半導体集積回路において、前記副遅延回路が生成可能な遅延時間は、前記主遅延回路の1つの前記補間回路が生成可能な遅延時間以上であることを特徴とする半導体集積回路。この半導体集積回路では、副遅延回路は、主遅延回路の1つの補間回路が調整できる位相範囲以上の位相調整ができる。このため、選択回路は、余裕を持って各遅延クロック信号を選択でき、安定した位相調整が行われる。

【0297】(19)請求項4記載の半導体集積回路において、前記主遅延回路が生成可能な遅延時間は、前記基準クロック信号の1周期以上であることを特徴とする半導体集積回路。この半導体集積回路では、主遅延回路の補間回路のうち両端の極数は、同じ位相領域(例えば0-90°)で使用される。この結果、例えば、350°から370°(=10°)への位相調整の際に、一端側の補間回路で調整している間に、他端側の補間回路が調整の準備をすることができ、補間回路の切り替えが円滑に行われる。

【0298】(20)請求項5記載の半導体集積回路において、前記主遅延回路が生成可能な遅延時間は、前記

調整遅延回路が生成可能な遅延時間以上であることを特徴とする半導体集積回路。

【0299】この半導体集積回路では、調整遅延回路が基準クロック信号の1周期の遅延時間を生成する場合、主遅延回路の補間回路のうち両端の複数は、同じ位相領域（例えば $0-90^\circ$ ）で使用可能になる。この結果、上記（19）項と同様に補間回路の切り替えが円滑に行われる。

（21）請求項5記載の半導体集積回路において、前記制御回路による位相調整は、前記調整回路による最大遅延時間調整の完了後に行われることを特徴とする半導体集積回路。

【0300】この半導体集積回路では、制御回路による位相調整は、調整回路による最大遅延時間調整の完了後、すなわち、主遅延回路および副遅延回路の補間回路の最大遅延時間を設定した後に行われる。このため、調整回路の影響により遅延クロック信号にジッタが発生することが防止される。

（22）上記（21）記載の半導体集積回路において、前記制御回路は、位相比較の開始時に、前記位相比較回路の比較結果に応じて前記主遅延回路または前記副遅延回路の前記補間回路のいずれかを前記位相調整回路に切り替え、前記内部クロック信号の位相を粗調整し、前記基準クロックと前記内部クロック信号との位相差が前記補間回路の最大遅延時間以下になった後、前記位相比較回路の比較結果に応じて前記位相調整回路に前記比率情報を与え、前記内部クロック信号の位相を微調整することを特徴とする半導体集積回路。

【0301】この半導体集積回路では、制御回路は、位相比較の開始時に位相比較回路の比較結果に応じて内部クロック信号の位相を粗調整する。制御回路は、遅延クロック信号と基準クロック信号との位相差が、補間回路の最大遅延時間以下になった後に、位相比較回路の比較結果に応じて、位相調整回路に比率情報を与え内部クロック信号の位相を微調整する。内部クロック信号の位相調整を粗調整と微調整とに分けて行うことで、内部クロック信号と基準クロック信号との位相を、少ない位相比較回数で早く一致させることができる。

【0302】（23）上記（22）記載の半導体集積回路において、前記制御回路は、前記基準クロック信号と前記遅延クロック信号との位相が逆転したときに、前記位相差が前記最大遅延時間以下になったと判断することを特徴とする半導体集積回路。この半導体集積回路では、制御回路は、基準クロック信号と内部クロック信号との位相が逆転したことに基づいて、基準クロック信号と内部クロック信号との位相差が補間回路の最大遅延時間以下になったと判断する。そして、位相調整回路による微調整を開始する。位相の逆転の判断は、ラッチ等の簡易な回路で容易に行うことができ、回路規模を小さくできる。

【0303】（24）上記（22）記載の半導体集積回路において、前記粗調整は、前記比率情報を中央値にして行うことを特徴とする半導体集積回路。この半導体集積回路では、比率情報を中央値にすることで、位相調整回路に切り替えられる全ての補間回路は、基準クロック信号を同じ時間だけ遅延させる。このため、位相調整回路に切り替え時に、内部クロック信号の位相の変化が均等になる。

【0304】（25）請求項4記載の半導体集積回路において、前記各補間回路には、独立した電源電圧が供給されていることを特徴とする半導体集積回路。この半導体集積回路では、補間回路には、独立した電源電圧が供給されているため、他の回路の影響を受けて、補間回路から出力されるクロック信号の位相が変動することを防止できる。また、補間回路に低電圧を供給することで、消費電力を低減できる。

【0305】（26）請求項4記載の半導体集積回路において、前記基準クロック信号および前記遅延クロック信号の周波数をそれぞれ分周する分周器を備え、前記位相比較回路には、前記各分周器を介して周波数を分周された前記基準クロック信号および前記遅延クロック信号が供給されることを特徴とする半導体集積回路。この半導体集積回路では、基準クロック信号および遅延クロック信号の周波数をそれぞれ分周する分周器を備えている。位相比較回路には、各分周器を介して周波数を分周された基準クロック信号および遅延クロック信号が供給される。このため、高い周波数の基準クロック信号が供給される場合にも、位相比較回路を確実に動作させることができる。また、位相比較の頻度が少なくなるため、消費電力を低減できる。

【0306】（27）上記（26）記載の半導体集積回路において、前記位相比較の開始時に、前記基準クロック信号に同期して開始信号を活性化する開始信号発生器を備え、前記各分周器は、前記開始信号の活性化を受けて動作を開始し、所定のクロック数後に、それぞれ分周された前記基準クロック信号および前記遅延クロック信号の出力を開始することを特徴とする半導体集積回路。

【0307】この半導体集積回路では、位相比較の開始時に、基準クロック信号に同期して開始信号を活性化する開始信号発生器を備えている。各分周器は、開始信号の活性化を受けて動作を開始し、所定のクロック数後に、それぞれ分周された基準クロック信号および遅延クロック信号の出力を開始する。このため、基準クロック信号が特定の周波数の場合に、位相比較回路に供給される基準クロック信号と遅延クロック信号との位相のずれの最大値を小さくできる。この結果、粗調整における位相比較の回数を低減できる。補間回路の段数を低減できる。

【0308】（28）上記（26）記載の半導体集積回路において、前記所定のクロック数は、基準クロック信

号の周波数に応じて設定可能であることを特徴とする半導体集積回路。この半導体集積回路では、開始信号の活性化を受けてから分周された基準クロック信号および遅延クロック信号の出力を開始するまでのクロック数を、基準クロック信号の周波数に応じて設定することで、位相調整に必要な位相比較の回数を低減できる。

【0309】(29) 上記(26)記載の半導体集積回路において、前記所定のクロック数を設定するモードレジスタを備えたことを特徴とする半導体集積回路。この半導体集積回路では、ウェイトクロック数の設定を行うモードレジスタを備えた。このため、電源の立ち上げ時等にモードレジスタを変更することで、基準クロック信号の周波数に応じたウェイトクロック数の設定を容易に行うことができる。

【0310】(30) 上記(26)記載の半導体集積回路において、前記所定のクロック数を設定するヒューズを備えたことを特徴とする半導体集積回路。この半導体集積回路では、所定のクロック数の設定を行うヒューズを備えた。このため、製造工程において、製品仕様(周波数)に応じてヒューズを溶断することで、所定のクロック数の設定を簡易かつ確実に行うことができる。

【0311】(31) 上記(26)記載の半導体集積回路において、前記所定のクロック数を設定する制御端子を備えたことを特徴とする半導体集積回路。この半導体集積回路では、所定のクロック数の設定を行う制御端子を備えた。このため、これ等制御端子を試験端子として使用して、製品の評価を行うことができる。これ等制御端子を電源線VDDまたは接地線VSSに接続することで、所定のクロック数に設定できる。これ等制御端子を外部端子にすることで、半導体集積回路が搭載されるシステムのクロック周波数に応じて、基板上で所定のクロック数の設定を行うことができる。

【0312】

【発明の効果】請求項1の遅延回路では、遅延クロック信号の遅延時間を精度よく調整できる。請求項2の半導体集積回路では、補間回路を使用して遅延クロック信号の位相の微調整を行ったので、微調整の最小単位を小さくできる。すなわち、高い周波数の基準クロック信号が供給される半導体集積回路においても確実に位相調整を行うことができる。

【0313】請求項3の半導体集積回路では、遅延クロック信号の位相調整を粗調整と微調整とに分けて行うことで、遅延クロック信号と基準クロック信号との位相を、少ない位相比較回数で早く一致させることができる。請求項4の半導体集積回路では、内部クロック信号にジッタが発生することを防止できる。請求項5の半導体集積回路では、少ない補間回路で、精度よく位相を調整ができる。

【図面の簡単な説明】

【図1】請求項1ないし請求項3に記載の発明の基本原

理を示すブロック図である。

【図2】請求項4および請求項5に記載の発明の基本原理解を示すブロック図である。

【図3】第1の実施形態におけるクロック制御部を示すブロック図である。

【図4】図3の遅延クロック生成部を示すブロック図である。

【図5】図4の補間回路を示す回路図である。

【図6】図4のスイッチ部を示す回路図である。

【図7】図4のシフトレジスタを示す回路図である。

【図8】補間回路の入力波形と出力波形とを示すタイミング図である。

【図9】図2の位相比較部を示すブロック図である。

【図10】図9の第1分周回路および第2分周回路を示すブロック図である。

【図11】図10の分周器を示す回路図である。

【図12】図11の分周器の基本的な動作を示すタイミング図である。

【図13】図11の分周器の基本的な動作を示すタイミング図である。

【図14】図9の位相比較回路を示す回路図である。

【図15】図3のラフ/ファイン制御部を示す回路図である。

【図16】図15の組み合わせ回路の動作を示す制御状態図である。

【図17】図3のラフ制御回路を示すブロック図である。

【図18】図17のラフコントロールを示す回路図である。

【図19】図18の組み合わせ回路の動作を示す制御状態図である。

【図20】図17のラフコントロールの動作の概要を示すタイミング図である。

【図21】図17のラフシフトラッチを示す回路図である。

【図22】図17のシフト方向ラッチを示す回路図である。

【図23】図3のファイン制御部を示すブロック図である。

【図24】図23のファインコントロールを示す回路図である。

【図25】図24のファインコントロールの動作を示す制御状態図である。

【図26】第1の実施形態における位相調整の制御を示すフローチャートである。

【図27】第1の実施形態における位相調整の初期設定およびラフ初期調整の制御を示すフローチャートである。

【図28】第1の実施形態におけるファイン初期調整の制御を示すフローチャートである。

【図29】第1の実施形態におけるファイン初期調整の制御を示すフローチャートである。

【図30】第1の実施形態におけるラフ／ファイン調整の制御を示すフローチャートである。

【図31】第1の実施形態におけるラフ／ファイン調整の制御を示すフローチャートである。

【図32】図3の開始信号発生器の動作を示すタイミング図である。

【図33】図9の位相比較部での各クロック信号の状態を示すタイミング図である。

【図34】第1の実施形態の初期設定後における補間回路の状態を示す説明図である。

【図35】第1の実施形態のラフ初期調整時における補間回路の切り替え制御の概要を示す説明図である。

【図36】第1の実施形態のラフ初期調整時における2進カウンタの初期値による内部クロック信号の変化を示す説明図である。

【図37】第1の実施形態のファイン初期調整の概要を示す説明図である。

【図38】第2の実施形態におけるクロック制御部を示すブロック図である。

【図39】図38の位相比較部を示すブロック図である。

【図40】図39のファイン位相比較回路を示す回路図である。

【図41】図39のラフ位相比較回路を示す回路図である。

【図42】第2の実施形態におけるラフ位相比較回路の動作を示すタイミング図である。

【図43】図38のラフ／ファイン制御部を示す回路図である。

【図44】図38のラフ制御部を示す回路図である。

【図45】図44のラフコントロールを示す回路図である。

【図46】図45の組み合わせ回路の動作を示す制御状態図である。

【図47】第2の実施形態における位相調整の制御を示すフローチャートである。

【図48】第3の実施形態における第1分周回路を示すブロック図である。

【図49】第3の実施形態における位相調整開始時の第1、第2分周器の動作を示すタイミング図である。

【図50】第4の実施形態におけるクロック制御部を示すブロック図である。

【図51】図50の遅延制御回路を示すブロック図である。

【図52】図51の初期化回路を示すブロック図である。

【図53】図51および図52の補間回路を示す回路図である。

【図54】図50のファインカウンタを示す回路図である。

【図55】図54のファインカウンタの動作を示すタイミング図である。

【図56】図54のフリップフロップ回路を示す回路図である。

【図57】図54のフリップフロップ回路の動作を示すタイミング図である。

【図58】図50のD/Aコンバータを示すブロック図である。

【図59】図58のD/Aコンバータを示す回路図である。

【図60】図59のD/Aコンバータの動作を示すタイミング図である。

【図61】図59のD/Aコンバータの出力電圧と補間回路の遅延時間との関係を示す説明図である。

【図62】図50の第2セクタを示す回路図である。

【図63】図50のスイッチ回路および第1セクタを示す回路図である。

【図64】図50のスイッチ回路および第1セクタの動作の概要を示す説明図である。

【図65】図51の補間回路の状態を示す説明図である。

【図66】図51の補間回路の状態を示す別の説明図である。

【図67】第4の実施形態における位相調整の制御を示すフローチャートである。

【図68】第4の実施形態における位相調整の一例を示す説明図である。

【図69】補間回路の別の例を示す回路図である。

【図70】補間回路およびバッファの別の例を示す回路図である。

【図71】補間回路およびバッファの別の例を示す回路図である。

【図72】従来の半導体集積回路を示すブロック図である。

【図73】従来のクロック信号の位相調整の制御を示すフローチャートである。

【図74】図73における位相調整時の主要な信号を示すタイミング図である。

【符号の説明】

30 クロック制御部

32 開始信号発生器

34 a、34 b クロックバッファ

37 遅延クロック生成部

39 補間回路

42、44 バッファ

46 位相比較部

48 ラフ／ファイン制御部

51 ラフ制御部

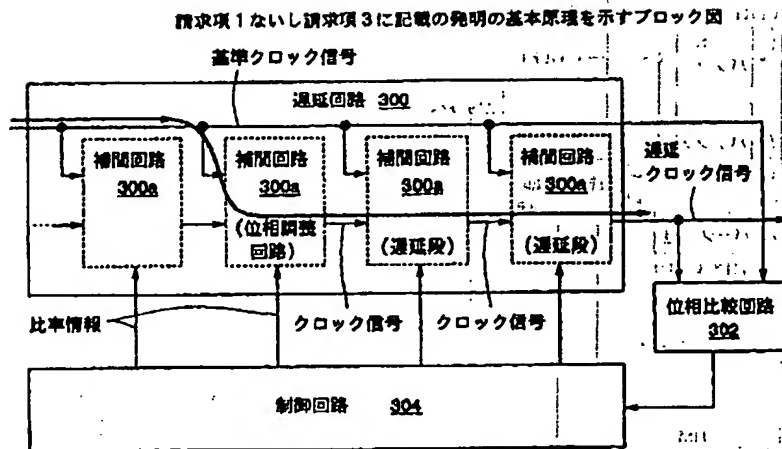
- 5 2 ファイン制御部
5 3 D/Aコンバータ
5 5 遅延回路
5 6 遅延段活性化回路
5 9 スイッチ回路
6 1 スイッチ部
6 3 シフトレジスタ
8 2 第1分周回路
8 4 第2分周回路
8 6 ダミー出力バッファ
8 8 ダミー入力バッファ
9 0 位相比較回路
9 2 分周器
1 1 8 ラフコントロール
1 2 0 ラフシフトラッチ
1 2 2 シフト方向ラッチ
1 3 4 ファインコントロール
1 3 6 2進カウンタ
1 3 8 最大最小検出器
1 4 0 クロック制御部
1 4 1 位相比較部
1 4 2 ラフ/ファイン制御部
1 4 4 ラフ制御部
1 4 8 ファイン位相比較回路
1 5 0 ラフ位相比較回路
1 5 2 ラフコントロール
1 5 6 第1分周回路
1 5 6 a、1 5 6 b、1 5 6 c スイッチ
1 7 2 遅延制御回路
1 7 4 スイッチ回路
1 7 6 第1セクタ
1 7 8、1 8 0 ダミー回路
1 8 2 位相比較回路
1 8 4 ラフ制御部
1 8 6 ファイン制御部
1 8 8 ラフカウンタ
1 9 0 ファインカウンタ
1 9 2 第2セクタ
1 9 4 D/Aコンバータ
1 9 5 D/Aコンバータ
1 9 6、1 9 8、2 0 0 補間回路
2 0 2 遅延回路
2 0 4 合成回路
2 0 6 初期化回路
2 0 8 補間回路
2 1 0 遅延回路
2 1 2、2 1 4 分周回路
2 1 6 位相比較回路
2 1 8 パルス生成回路
2 2 0 カウンタ
2 2 2 D/Aコンバータ
3 0 0 遅延回路
3 0 0 a 補間回路
3 0 2 位相比較回路
3 0 4 制御回路
3 1 0 主遅延回路
3 1 2 副遅延回路
3 1 2 a 補間回路
3 1 4 選択回路
3 1 6 位相比較回路
3 1 8 制御回路
3 2 0 調整遅延回路
3 2 0 a 補間回路
3 2 2 調整回路
A、B、C、D 制御信号
CLK1、CLK2、CLK3、... 内部クロック信号
/CLK1、/CLK2、/CLK3、... 内部クロック信号
CNT3、CNT2、CNT1、CNT0 カウンタ信号
CLK、/CLK クロック信号
CLKIA、CLKIB 内部クロック信号
CLK-K、/CLK-K 内部クロック信号
COMP 比較結果信号
COMPI 比較結果信号
DCLK 内部クロック信号
E2、E3、... イネーブル信号
FCOMP ファイン比較結果信号
FEN ファインイネーブル信号
FQ1、/FQ1、FQ2、/FQ2、FQ3、/FQ3 カウンタ信号
IN1、/IN1、IN2、/IN2 入力端子
MAX 最大信号
MIN 最小信号
PLSI パルス信号
RCOMP ラフ比較結果信号
RDOWN、FDOWN カウントダウン信号
REFCLK 参照クロック信号
REN ラファイネーブル信号
/RESET リセット信号
RLON ラフロックオン信号
RQ1、/RQ1、RQ2、/RQ2 カウンタ信号
RSD ラフシフト方向信号
RSO ラフシフト順番信号
RUP、FUP カウントアップ信号
SELA、SELB、/SELB 選択信号
STT 開始信号
TIM タイミング信号
TIMI タイミング信号
V1、V2 制御電圧
V3 制御電圧
VMAX、VMAX 制御電圧
X1、X2、X3、... スイッチ信号

Y1、Y2、Y3、... スイッチ信号

 α 、 β 制御電圧 (制御端子)

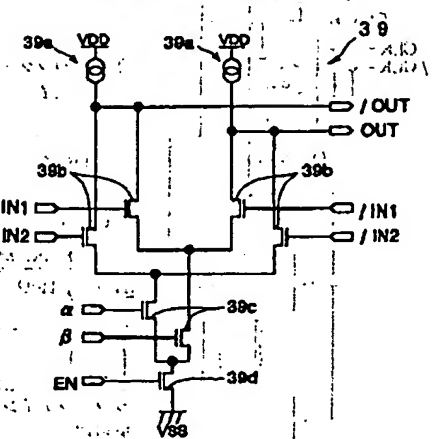
Z1、Z2、Z3... スイッチ信号

【図1】



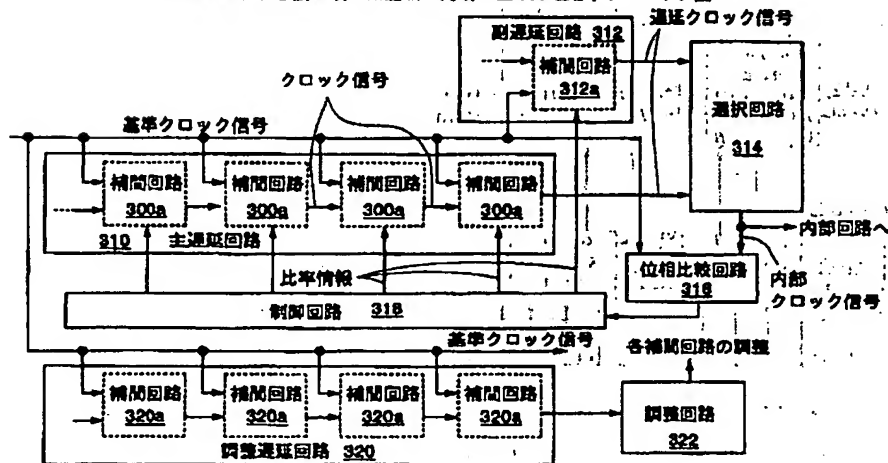
【図5】

補間回路を示す回路図



【図2】

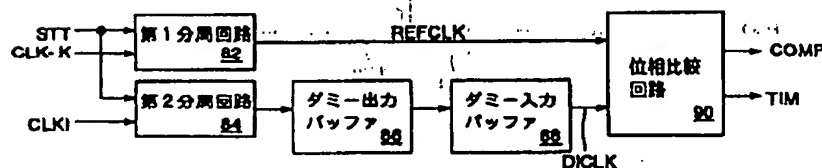
請求項4および請求項5に記載の発明の基本原理を示すブロック図



【図9】

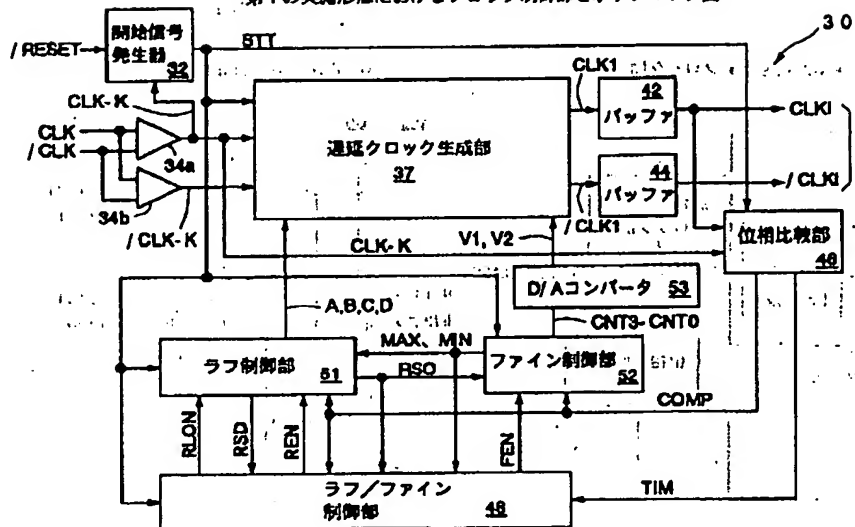
位相比較部を示すブロック図

48 (位相比較部)



【図 3】

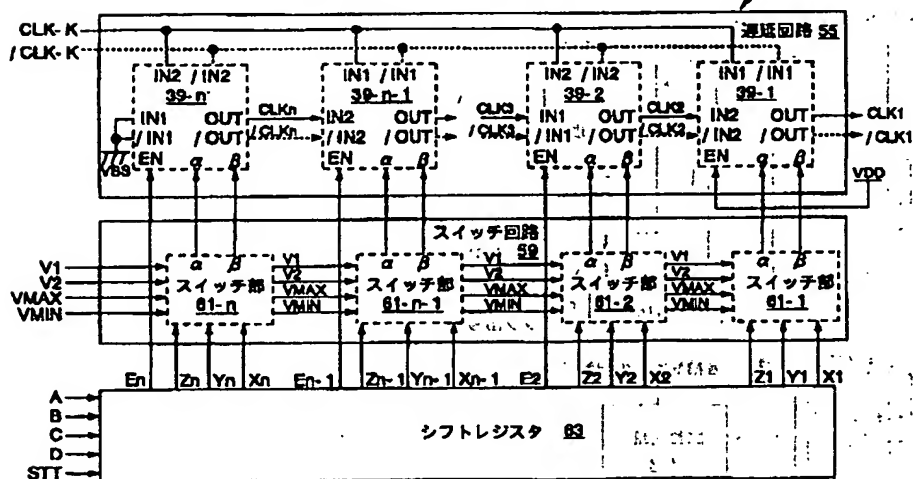
第1の実施形態におけるクロック制御部を示すブロック図



【図4】

遅延クロック生成部を示すブロック図

37(遅延クロック生成部)

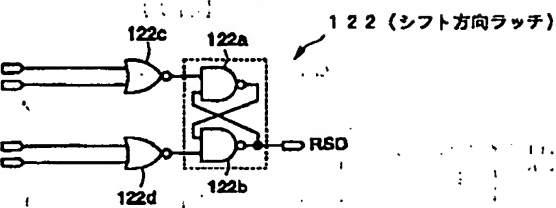
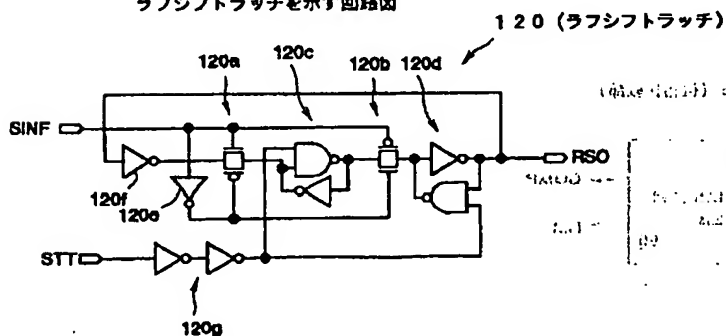


【图 2 1】

【図 2 2】

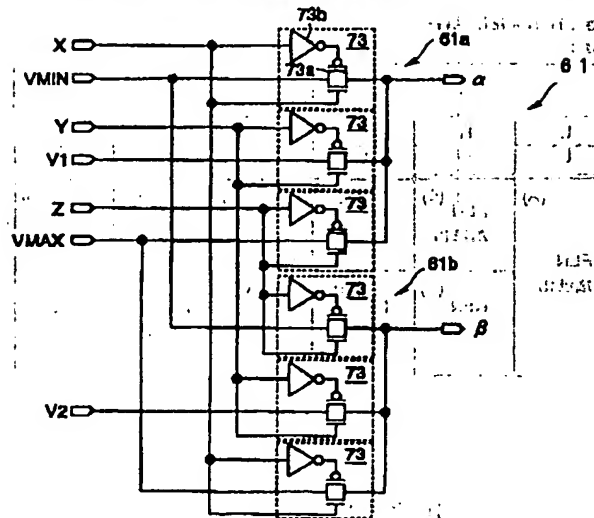
ラフシフトラッチを示す回路図

・シフト方向ラッチを示す回路図



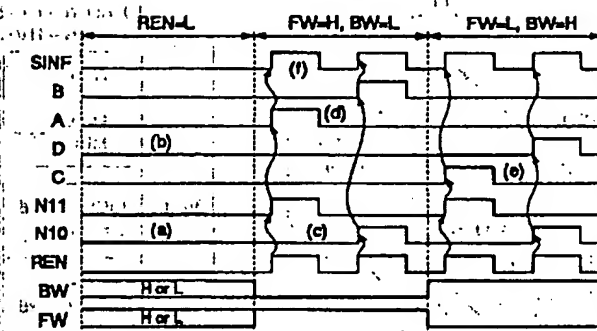
【図6】

スイッチ回路のスイッチ部を示す回路図



【図20】

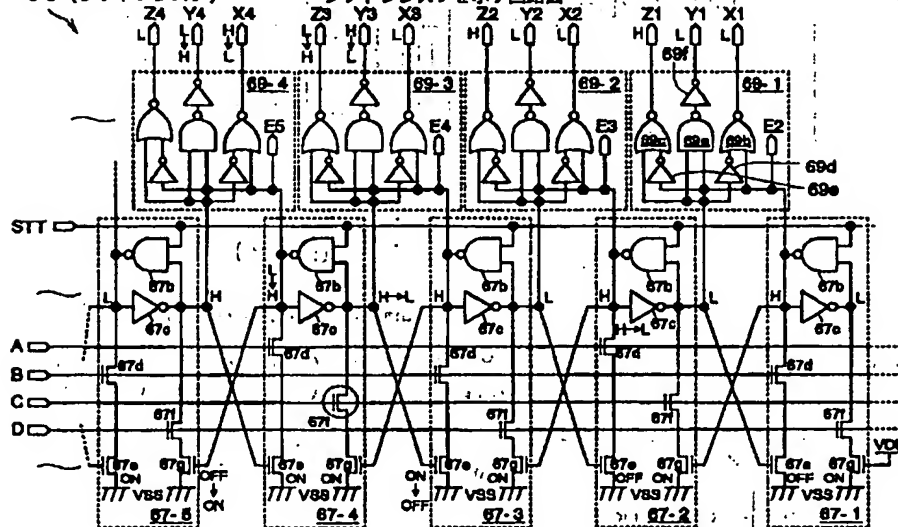
ラフコントロールの動作の概要を示すタイミング図



【図7】

63 (シフトレジスタ)

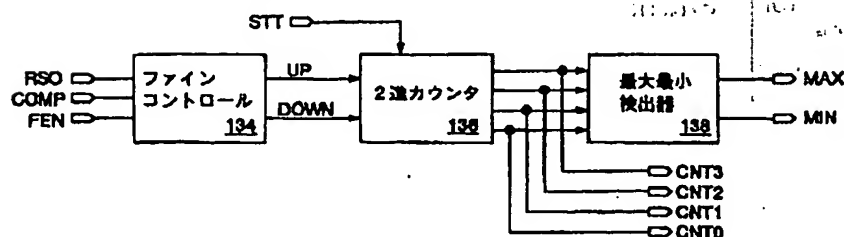
シフトレジスタを示す回路図



【図23】

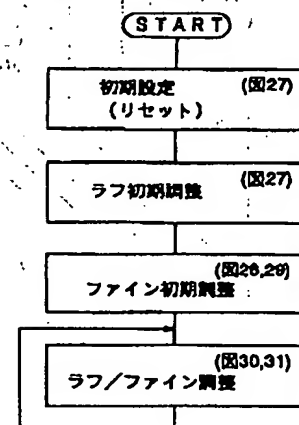
ファイン制御部を示すブロック図

62 (ファイン制御部)



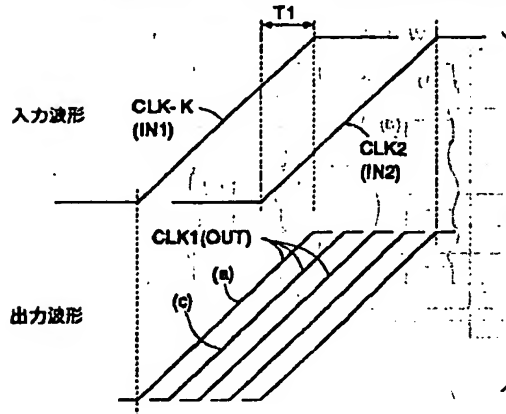
【図26】

位相調整の制御を示すフローチャート



【図8】

補間回路の入力波形と出力波形を示すタイミング図



【図16】

組み合わせ回路の動作を示す制御状態図

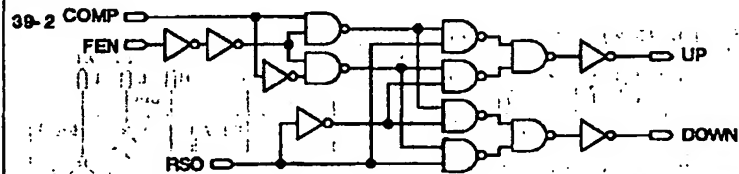
- (1) $FLON=L$ のとき: RENは常に活性化
 (2) $FLON=H$ のとき:

RSO	H			L		
	L	H	L	L	H	L
COMP=L (DICLKの位相を進める)	(A) FEN 活性化	(B) FEN 活性化	(D) REN 活性化	(F) FEN 活性化	(G) REN 活性化	(I) FEN 活性化
COMP=H (DICLKの位相を通らせる)	(C) REN 活性化	(E) FEN 活性化	(H) FEN 活性化	(J) REN 活性化		

【図24】

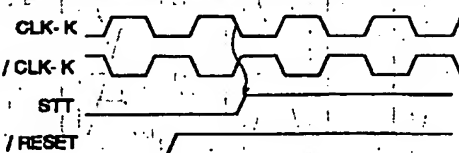
ファインコントロールを示す回路図

134 (ファインコントロール)



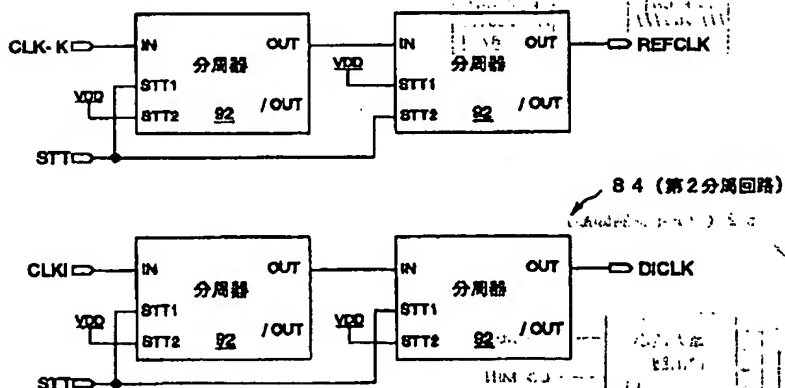
【図32】

開始信号発生器の動作を示すタイミング図

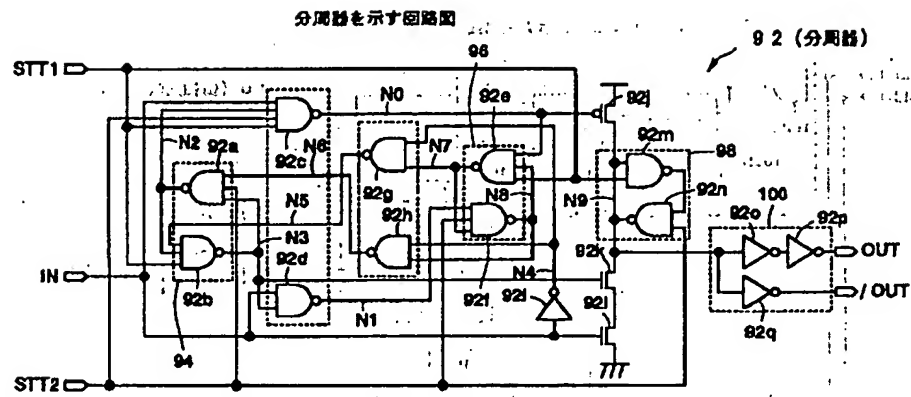


【図10】

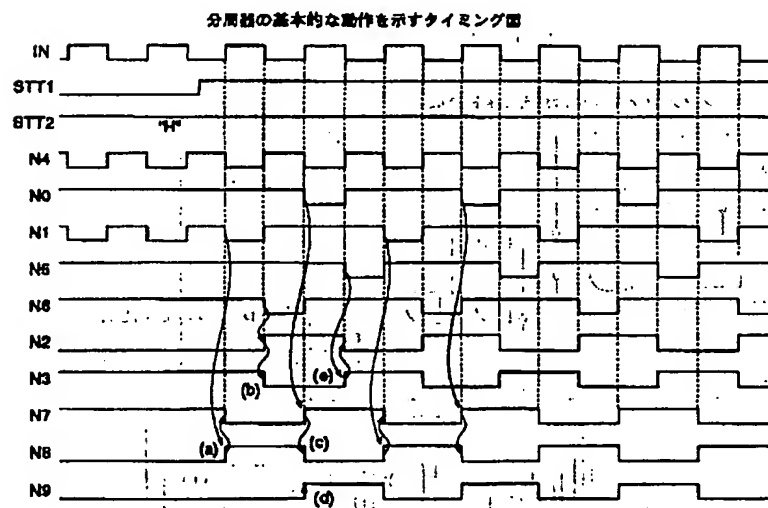
第1分周回路および第2分周回路を示すブロック図



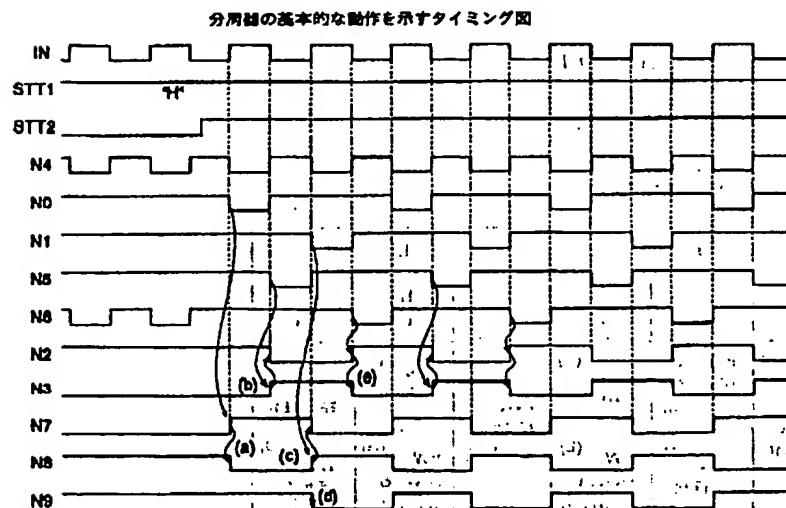
【図11】



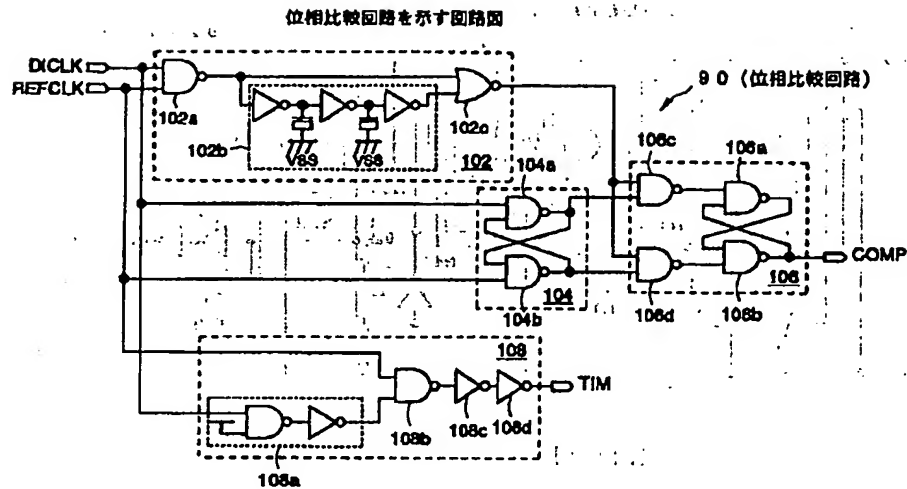
【図12】



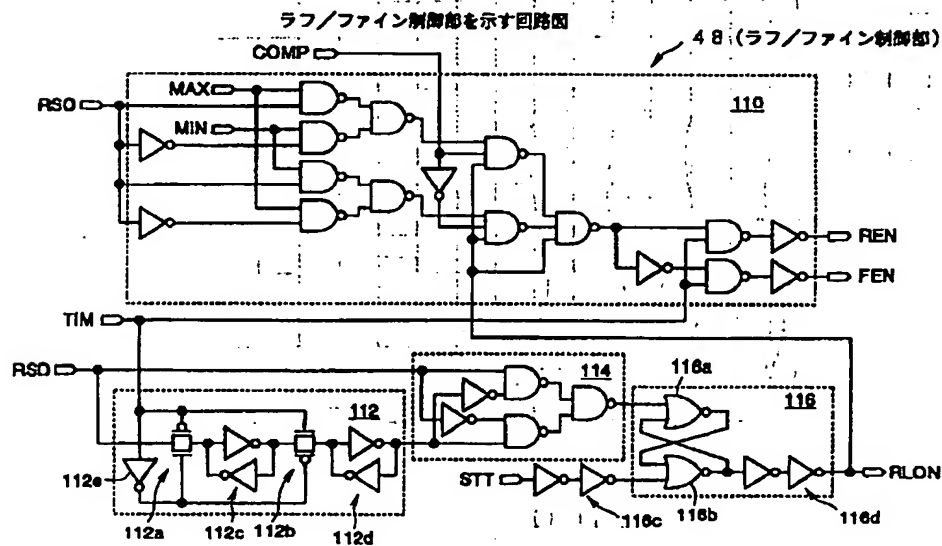
【図13】



【図14】



【図15】



【図19】

組み合わせ回路の動作を示す制御状態図

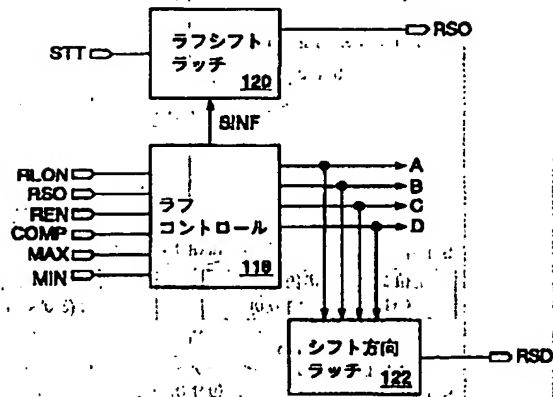
- (1) RLON=Lのとき: COMP=LでFW活性化
COMP=HでBW活性化
- (2) RLON=Hのとき:

RSO	H			L		
MAX MIN	L L	H L	L H	L L	H L	L H
COMP=L (DCLKの位相 を進める)	(A) FW、 BWとも 非活性化	(B) FW、(B) BWとも 非活性化	(D) FW 活性化	(F) FW、 BWとも 非活性化	(G) FW 活性化	(I) FW、(I) BWとも 非活性化
COMP=H (DCLKの位相 を遅らせる)	(C) FW、 BWとも 非活性化	(E) BW 活性化	(E) FW、(E) BWとも 非活性化	(H) FW、 BWとも 非活性化	(H) FW、(H) BWとも 非活性化	(J) BW 活性化

【図17】

ラフ制御部を示すブロック図

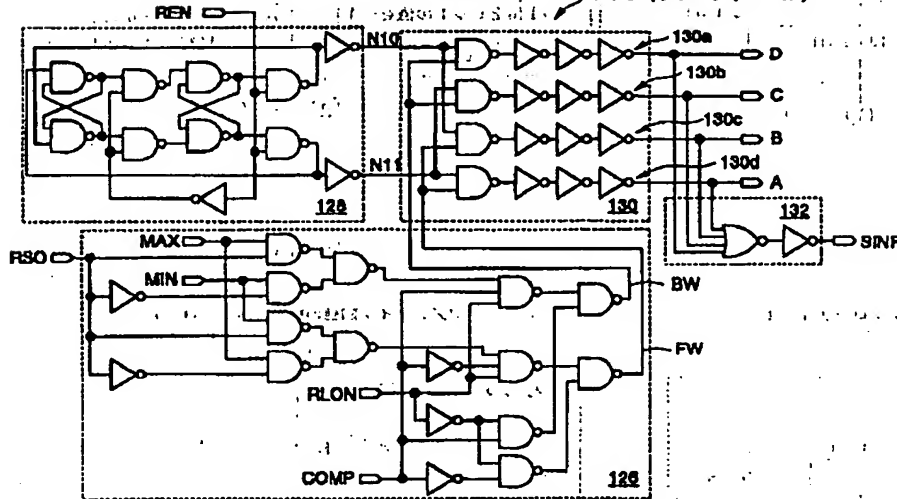
51 (ラフ制御部)



【図18】

ラフコントロールを示す回路図

118 (ラフコントロール)



【図25】

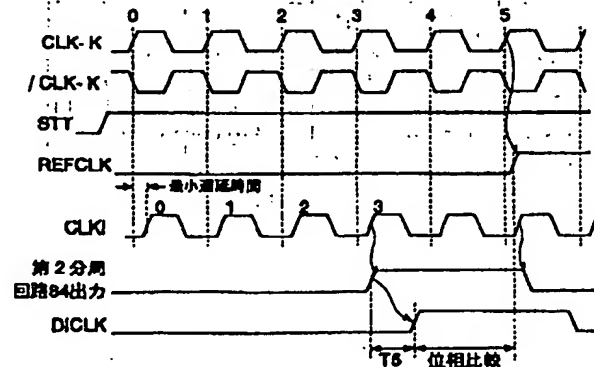
ファインコントロールの動作を示す制御状態図

- (1) FEN=Lのとき: UP、DOWNは常に非活性化
 (2) FEN=Hのとき:

RSO	H	L
COMP=L (DICKの位相を進める)	DOWN 活性化 (A)	UP 活性化 (C)
COMP=H (DICKの位相を遅らせる)	UP 活性化 (B)	DOWN 活性化 (D)

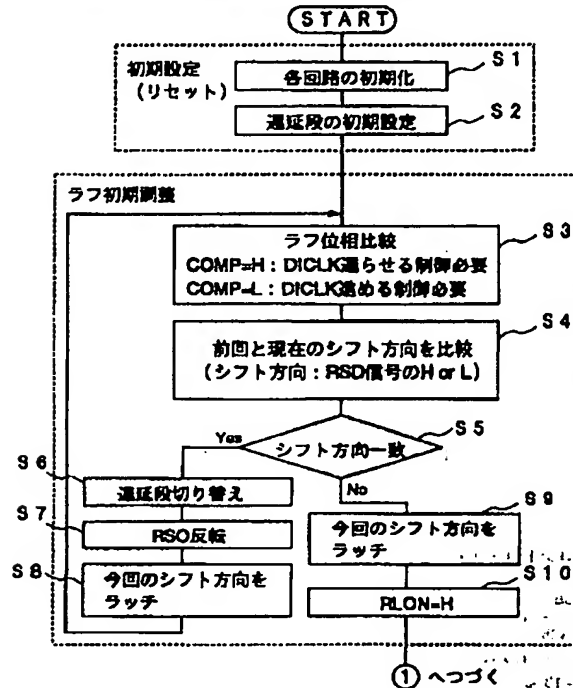
【図33】

位相比較部での各クロック信号の状態を示すタイミング図



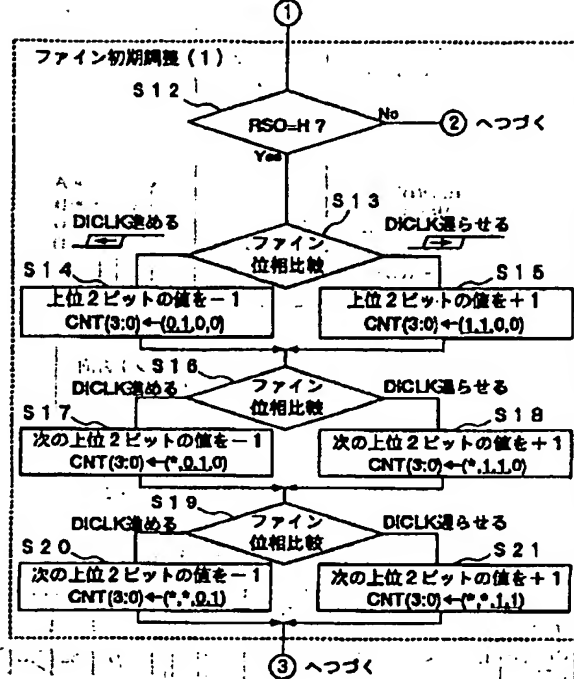
【図27】

初期設定およびラフ初期調整の制御を示すフローチャート



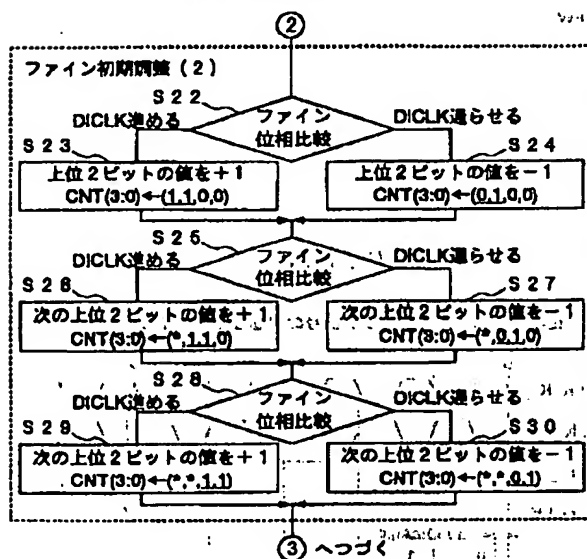
【図28】

ファイン初期調整の制御を示すフローチャート



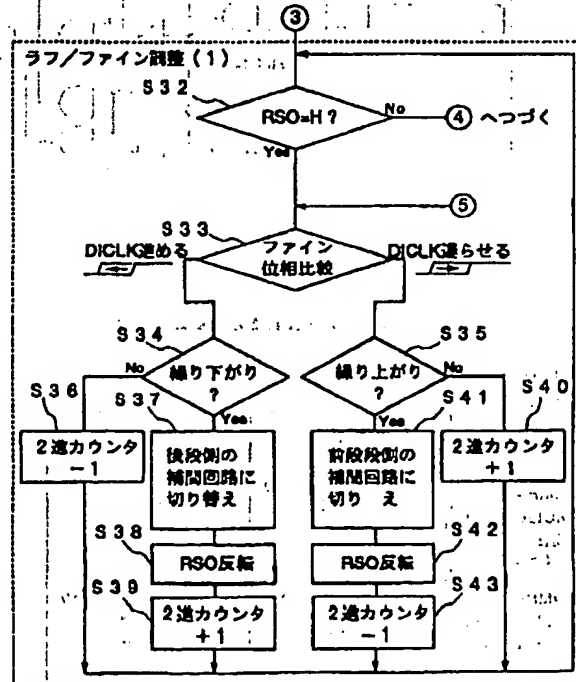
【図29】

ファイン初期調整の制御を示すフローチャート



【図30】

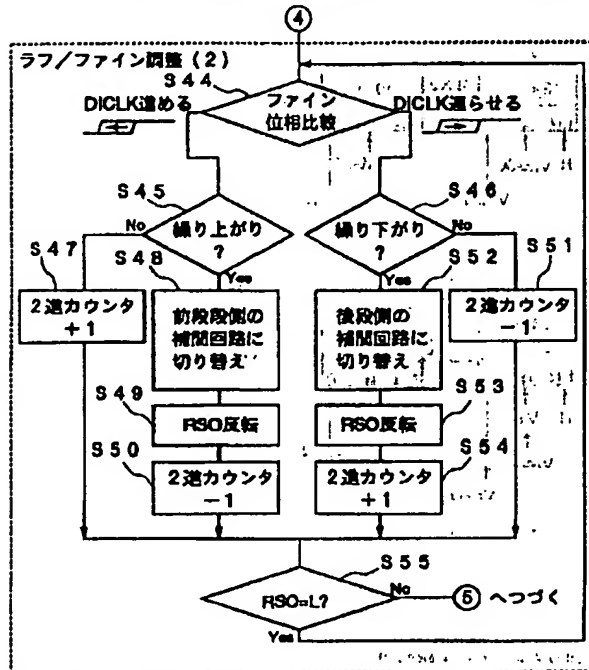
ラフ/ファイン調整の制御を示すフローチャート



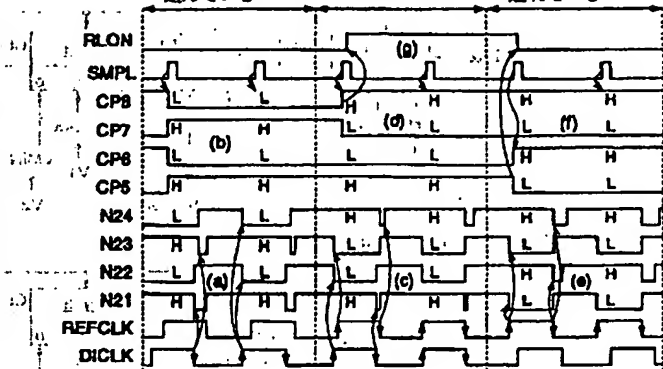
【図31】

【図42】

ラフ/ファイン調整の制御を示すフローチャート

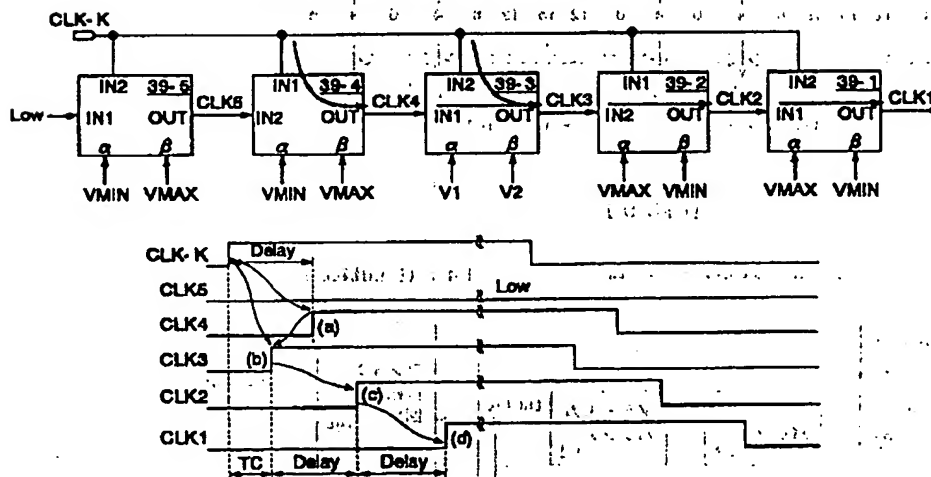


ラフ位相比較回路の動作を示すタイミング図



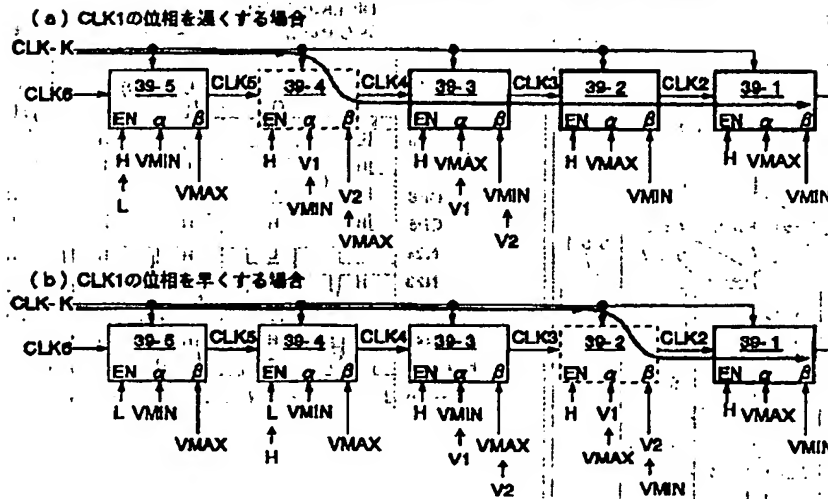
【図34】

初期設定後における補間回路の状態を示す説明図



【図35】

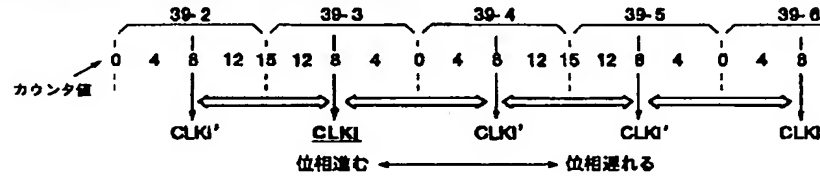
ラフ初期調整時における補間回路の切り替え制御の概要を示す説明図



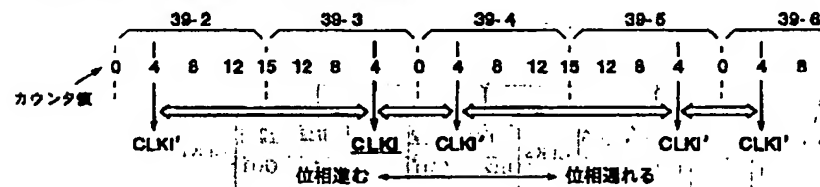
【図36】

ラフ初期調整時における2進カウンタの初期値による内部クロック信号の変化を示す説明図

(a) 2進カウンタ138の値を“8”に設定した場合

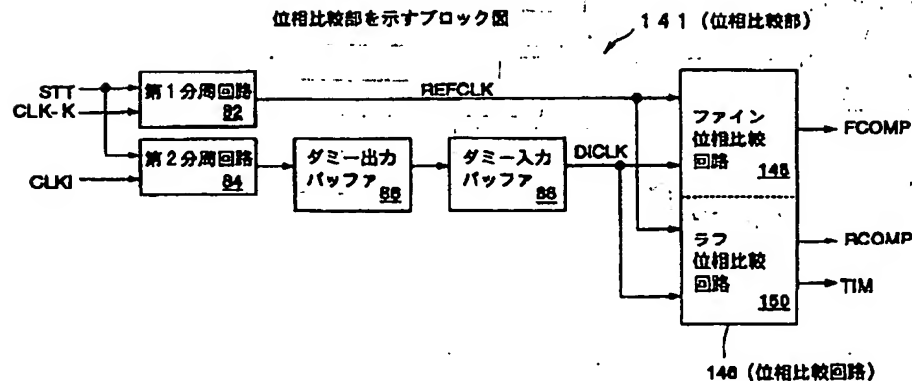


(b) 2進カウンタ138の値を“4”に設定した場合



【図39】

位相比較部を示すブロック図



【図37】

ファイン初期調整の概要を示す説明図

(a) 偶数段の補間回路39の制御

位相比較結果	カウンタの増減	CLK1の位相変化
DICLK遅らせる	+	1000
DICLK進める	-	1100
DICLK遅らせる	+	1010
DICLK遅らせる	+	1011

0 ~ 7 8 9 10 11 12 13 ~ 15

277'815 277'817 277'821

ファイン初期調整完了

(b) 奇数段の補間回路39の制御

位相比較結果	カウンタの増減	CLK1の位相変化
DICLK遅らせる	-	1000
DICLK進める	+	0100
DICLK遅らせる	-	0110
DICLK遅らせる	-	0101

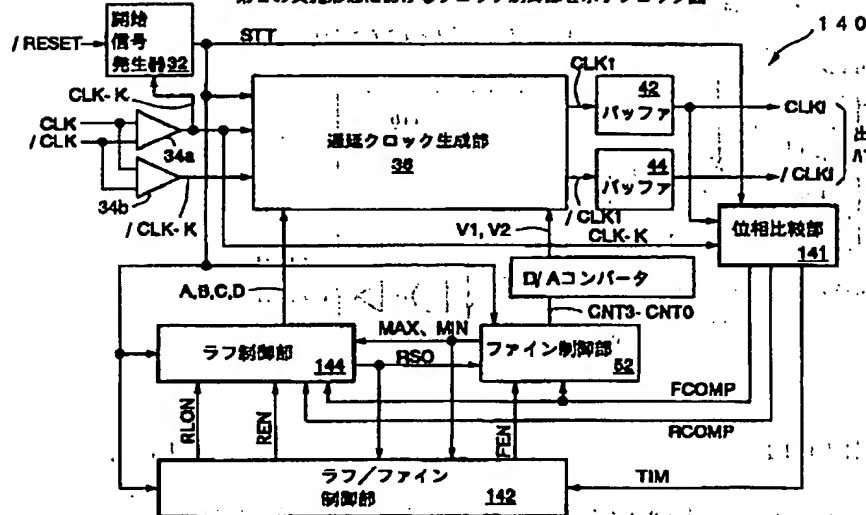
15 ~ 9 8 7 6 5 4 3 ~ 0

277'824 277'828 277'830

ファイン初期調整完了

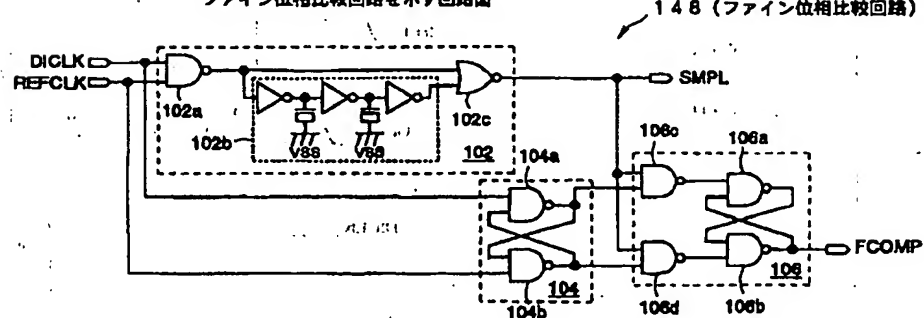
【図38】

第2の実施形態におけるクロック制御部を示すブロック図

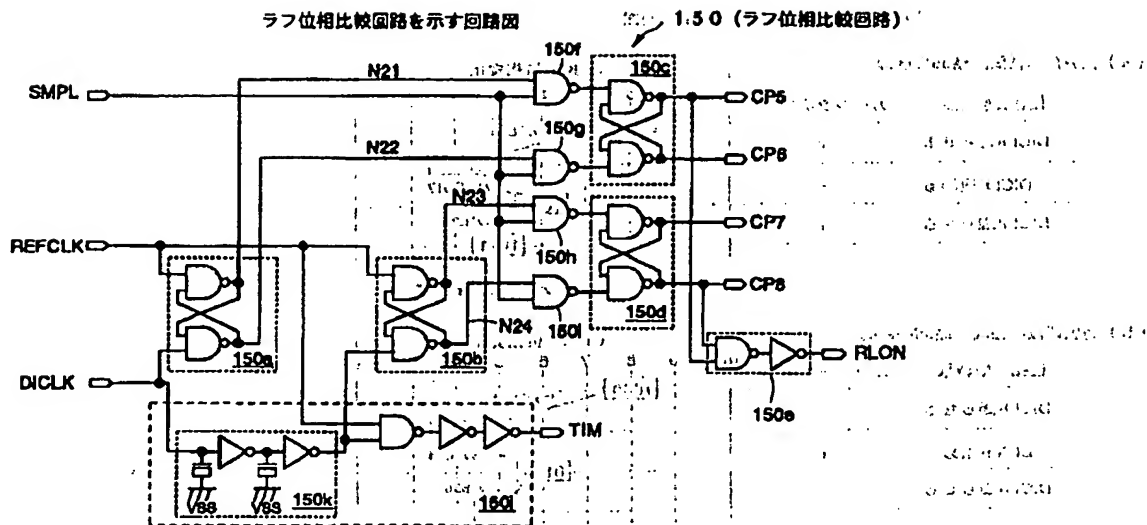


【図40】

ファイン位相比較回路を示す回路図

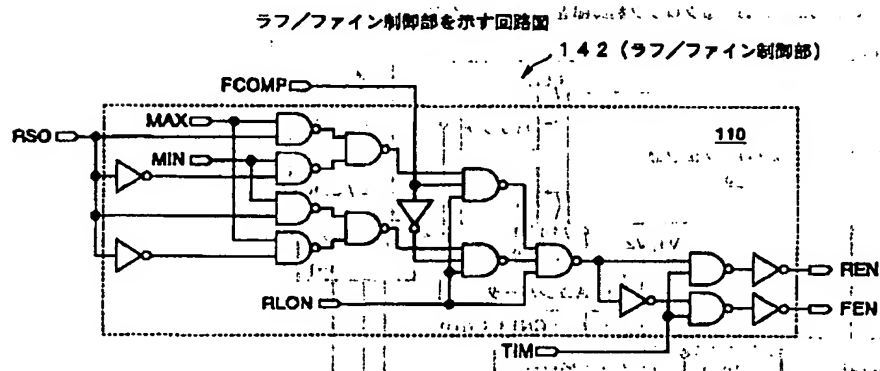


【図41】



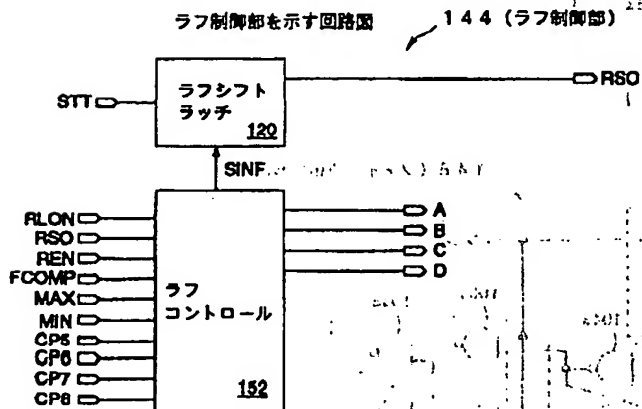
【図43】

【図42】

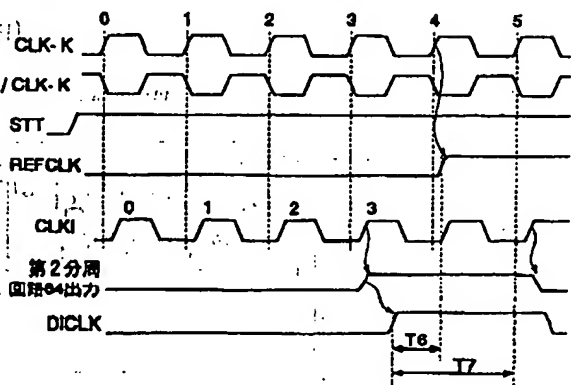


【図44】

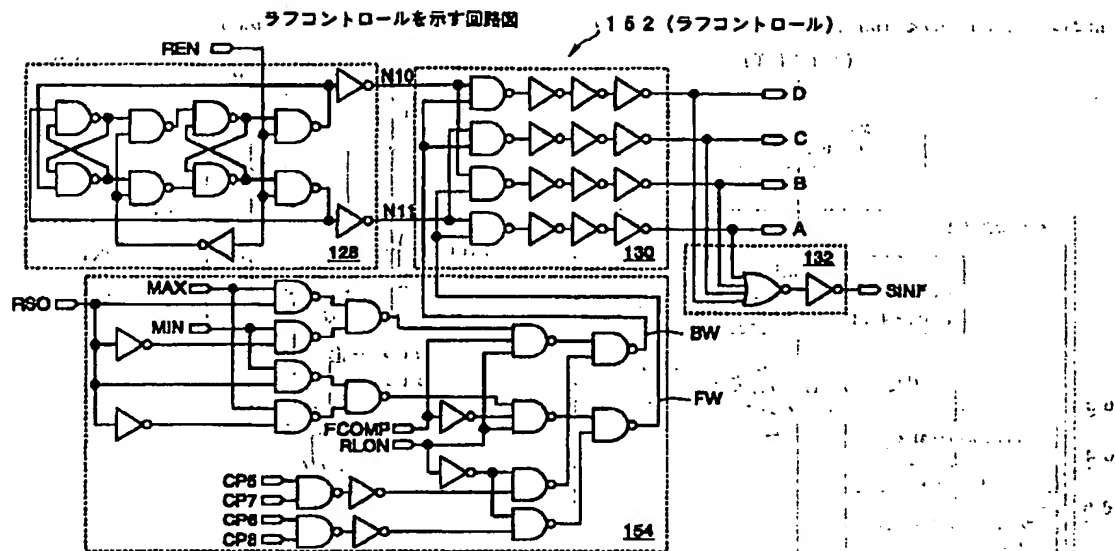
【図49】



第3の実施形態における位相調整開始時の第1、第2分周器の動作を示すタイミング図



【図45】



【図46】

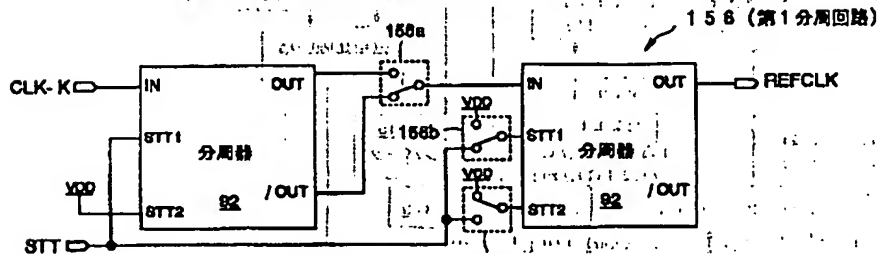
組み合わせ回路の動作を示す制御状態図

- (1) RLON=L のとき: CP6=H, CP8=HでFW活性化
CP6=H, CP7=HでBW活性化
- (2) RLON=H のとき:

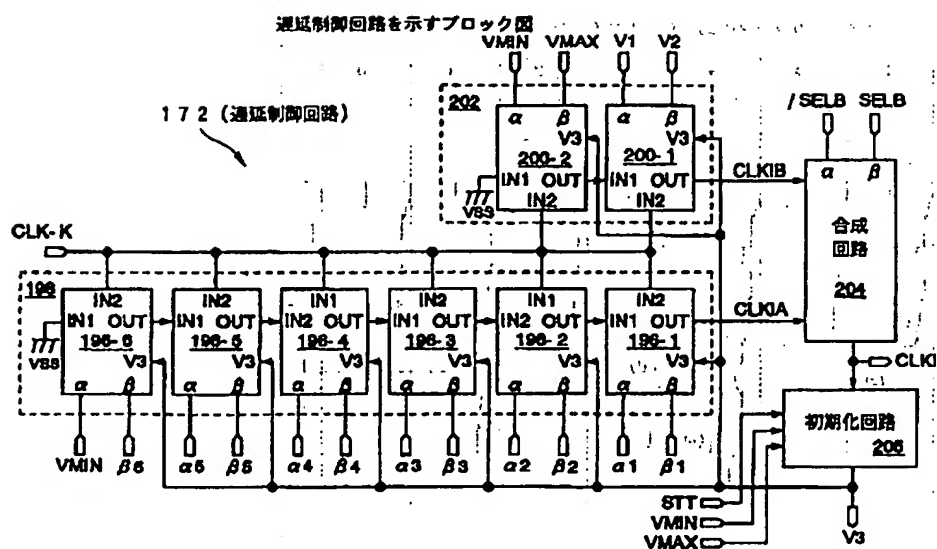
RSO	H			L		
	L	H	L	L	H	L
MAX						
MIN						
FCOMP=L (DCLKの位相を進める)	FW、BWとも非活性化	FW、(B) BWとも非活性化	FW 活性化 (D)	FW、BWとも非活性化 (F)	FW 活性化 (G)	FW、(I) BWとも非活性化
FCOMP=H (DCLKの位相を遅らせる)	FW、BWとも非活性化	BW 活性化 (C)	FW、(E) BWとも非活性化	FW、BWとも非活性化	FW、(H) BWとも非活性化	BW 活性化 (J)

【図48】

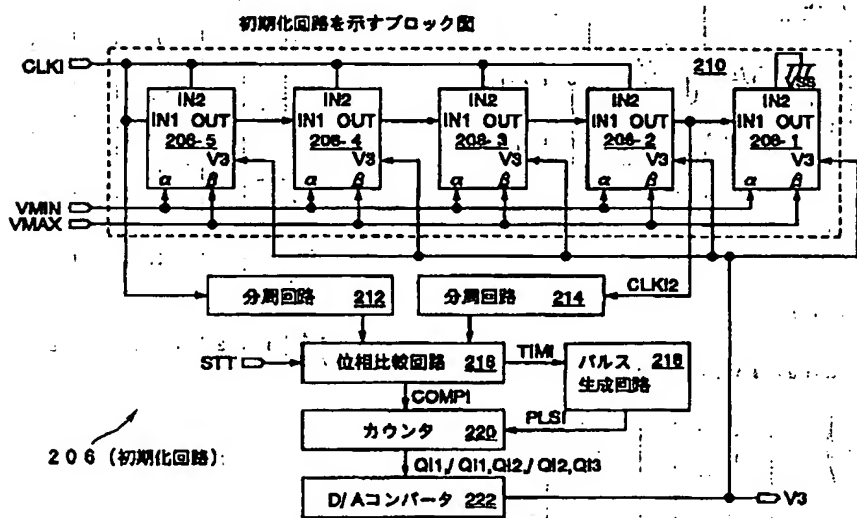
第3の実施形態における第1分周回路を示すブロック図



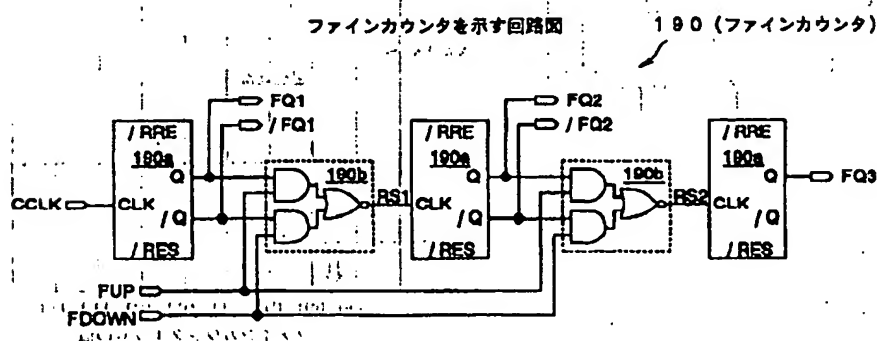
【図51】



【図52】



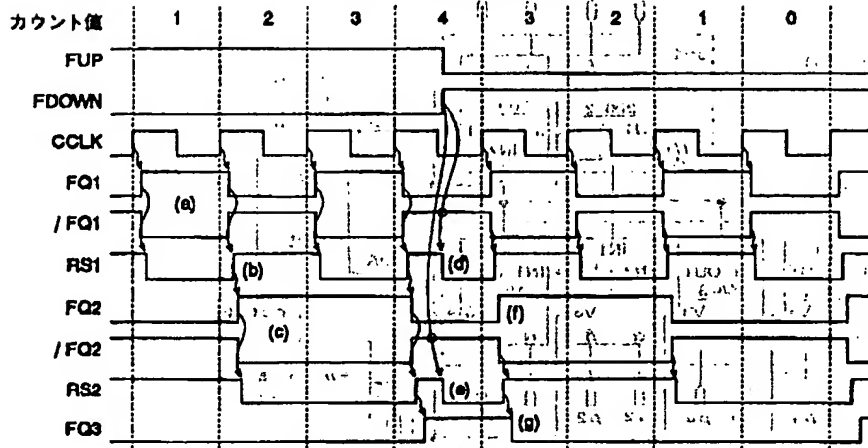
【図54】



【図55】

[1113]

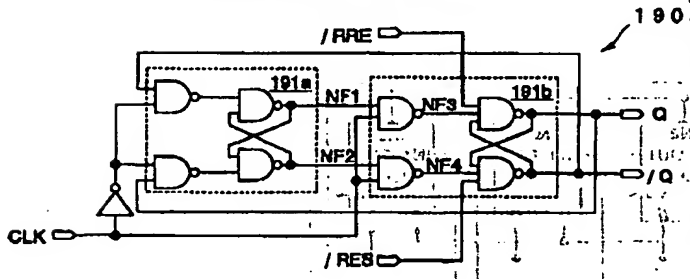
ファインカウンタの動作を示すタイミング図



【図56】

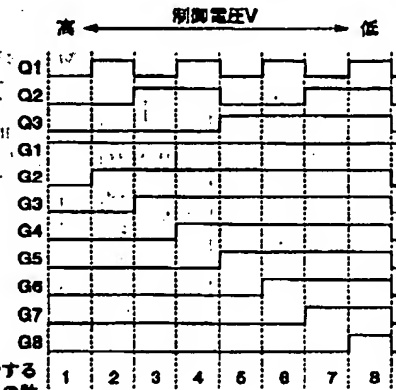
【図60】

フリップフロップ回路を示す回路図

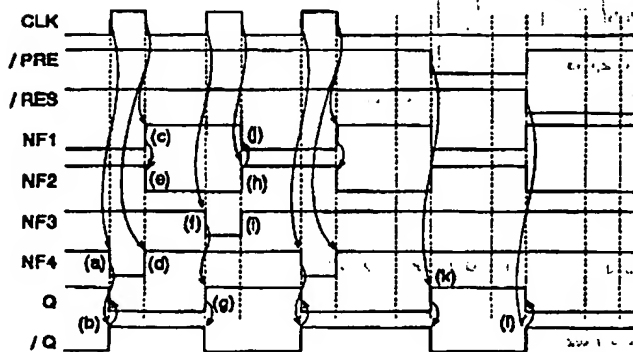


【図57】

D/Aコンバータの動作を示すタイミング図

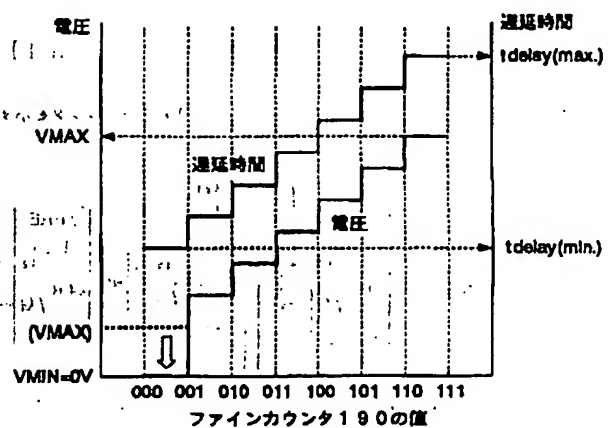
オンする
トランジスタの数

フリップフロップ回路の動作を示すタイミング図

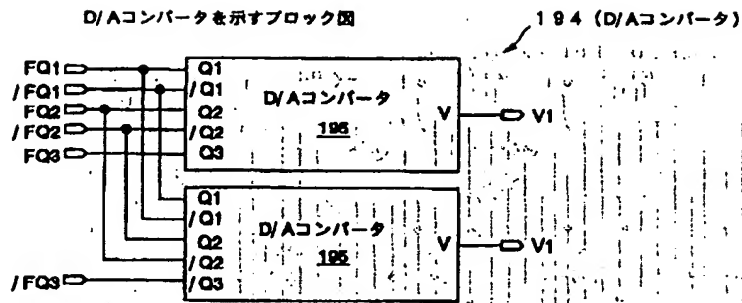


【図61】

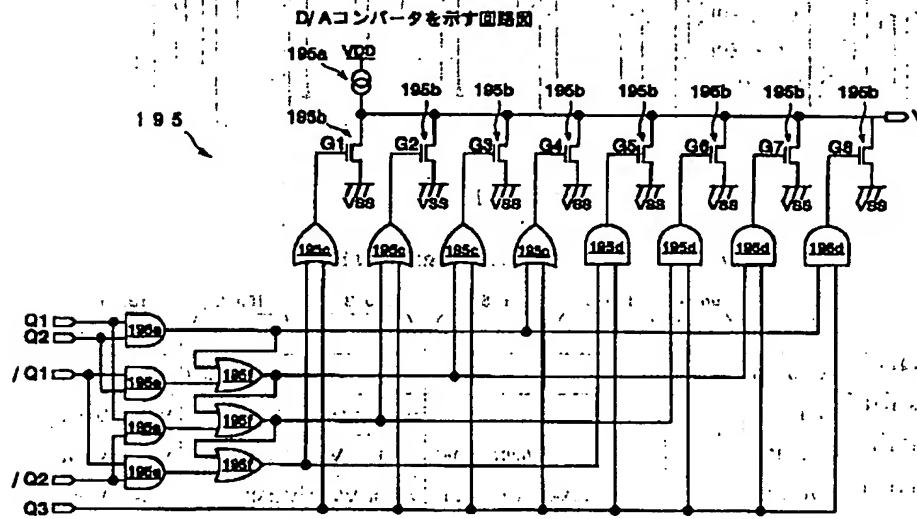
D/Aコンバータの出力電圧と補間回路の遅延時間との関係を示す説明図



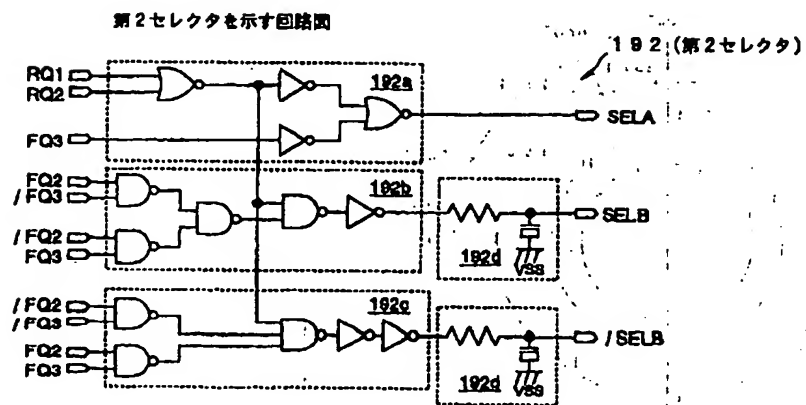
【図 58】



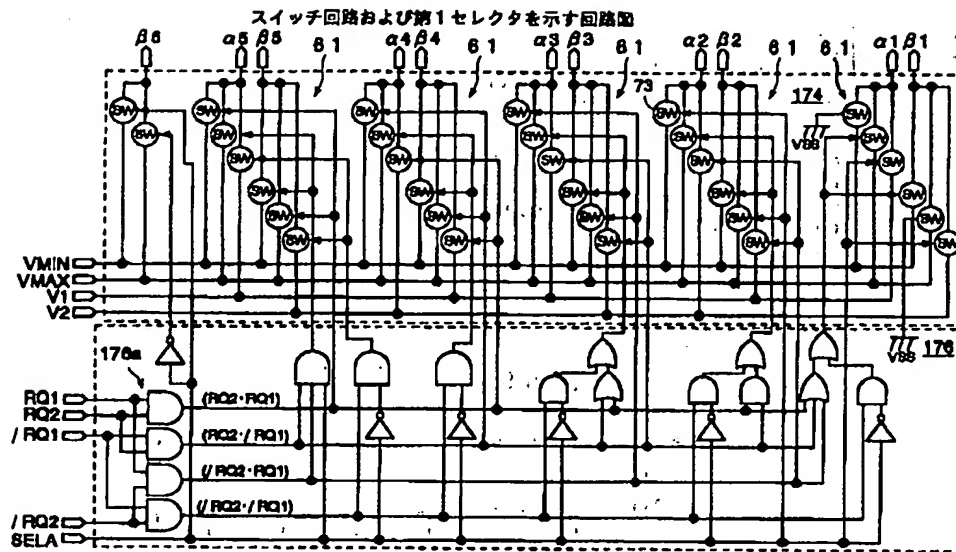
【图 5-9】



【图 6 2】



【図63】



【図64】

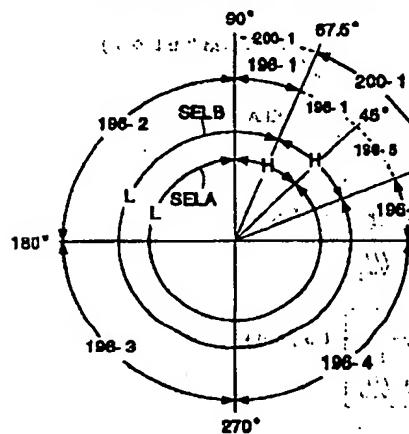
スイッチ回路および第1セレクタの動作の概要を示す説明図

		196-6	196-5	196-4	196-3	196-2	196-1
		$\beta 6$	$\alpha 5$ $\beta 5$	$\alpha 4$ $\beta 4$	$\alpha 3$ $\beta 3$	$\alpha 2$ $\beta 2$	$\alpha 1$ $\beta 1$
RQ2=L, RQ1=L SELA=H	(45-90°)	—	—	—	—	VMIN VMAX	V1 V2
RQ2=L, RQ1=H SELA=L	(90-180°)	—	—	—	VMIN VMAX	V2 V1	VMAX VMIN
RQ2=H, RQ1=L SELA=L	(180-270°)	—	—	VMIN VMAX	V1 V2	VMAX VMIN	VMAX VMIN
RQ2=H, RQ1=H SELA=L	(270-0°)	—	VMIN VMAX	V2 V1	VMAX VMIN	VMAX VMIN	VMAX VMIN
RQ2=L, RQ1=L SELA=L	(0-45°)	VMAX	V1 V2	VMAX VMIN	VMAX VMIN	VMAX VMIN	VMAX VMIN

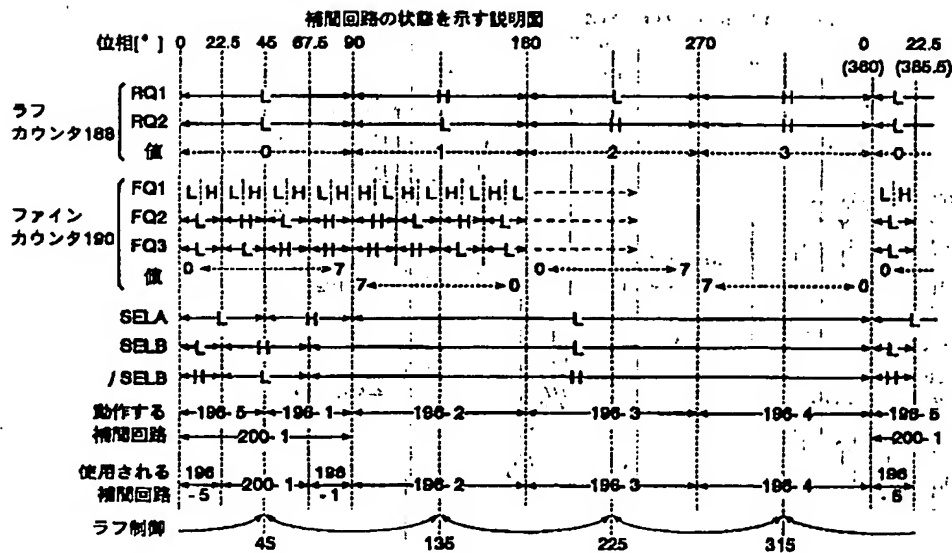
— : Don't care

【図66】

補間回路の状態を示す別の説明図

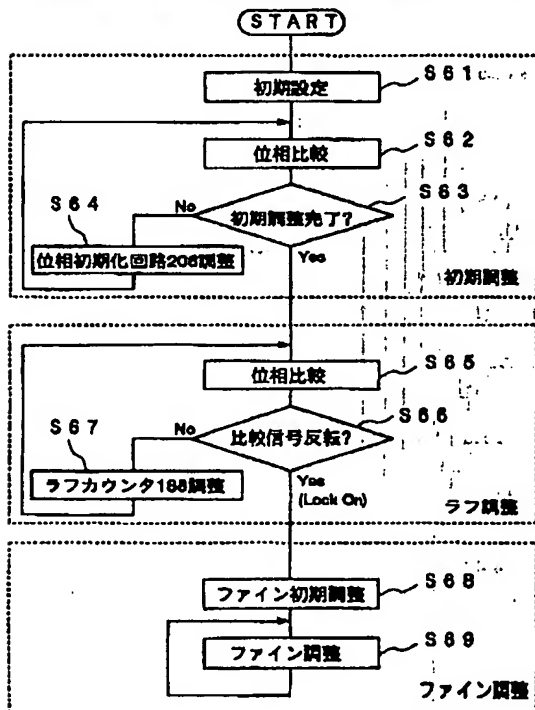


【図65】



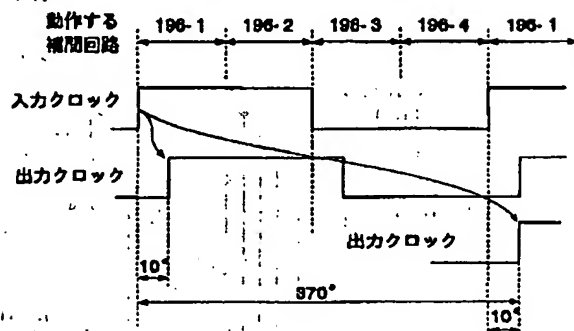
【図67】

第4の実施形態における位相調整の制御を示すフローチャート

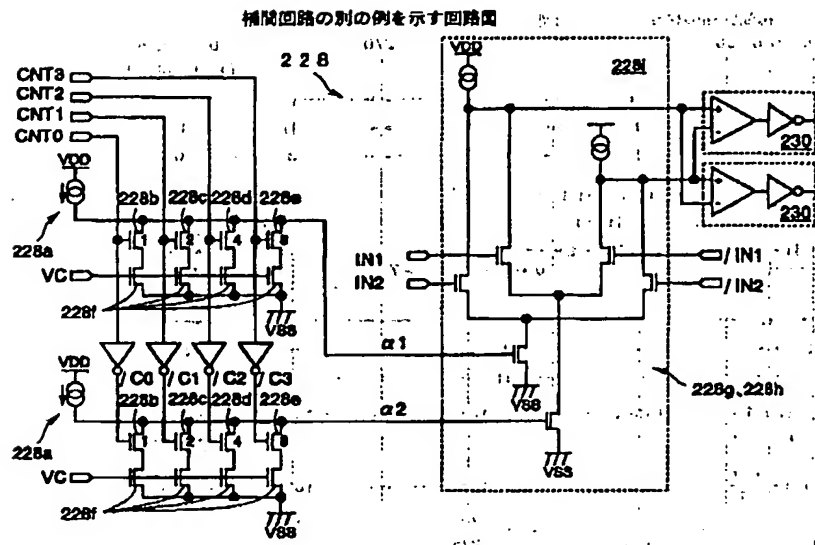


【図68】

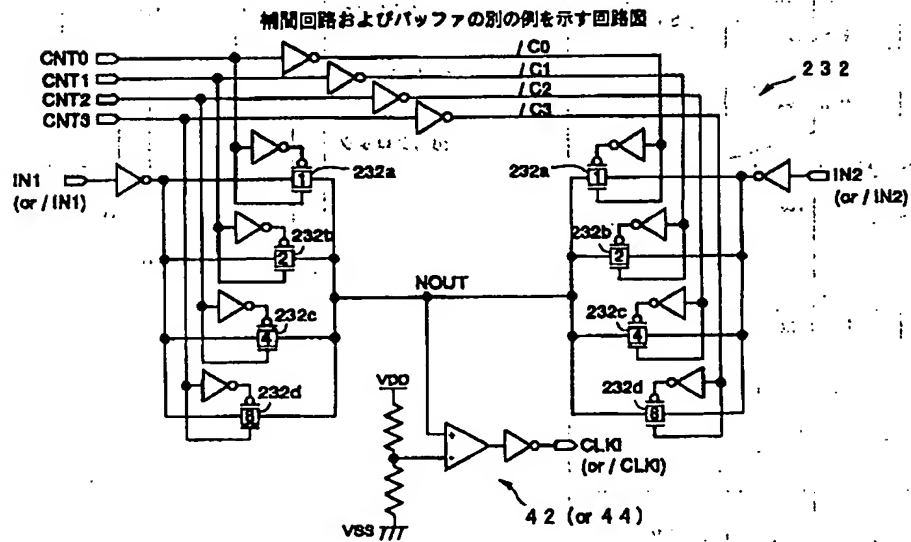
位相調整の一例を示す説明図



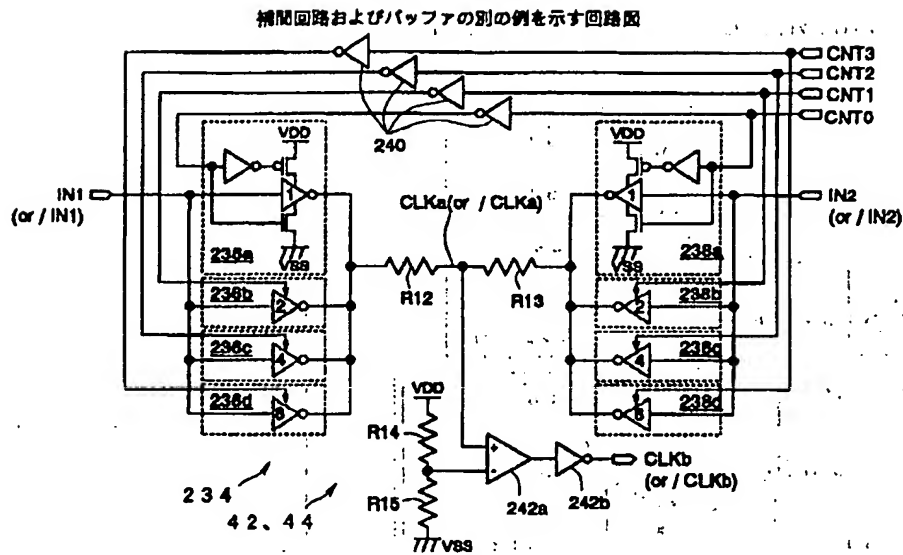
【図69】



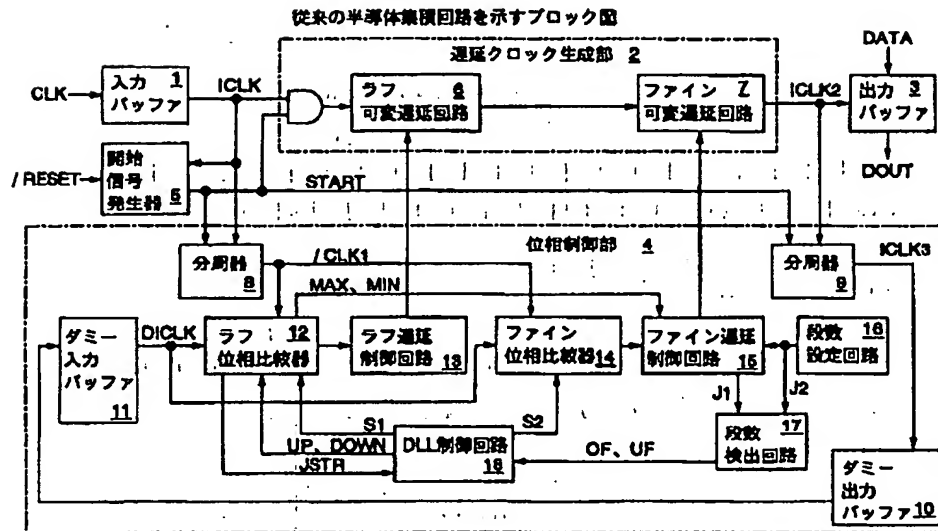
【図70】



【図71】

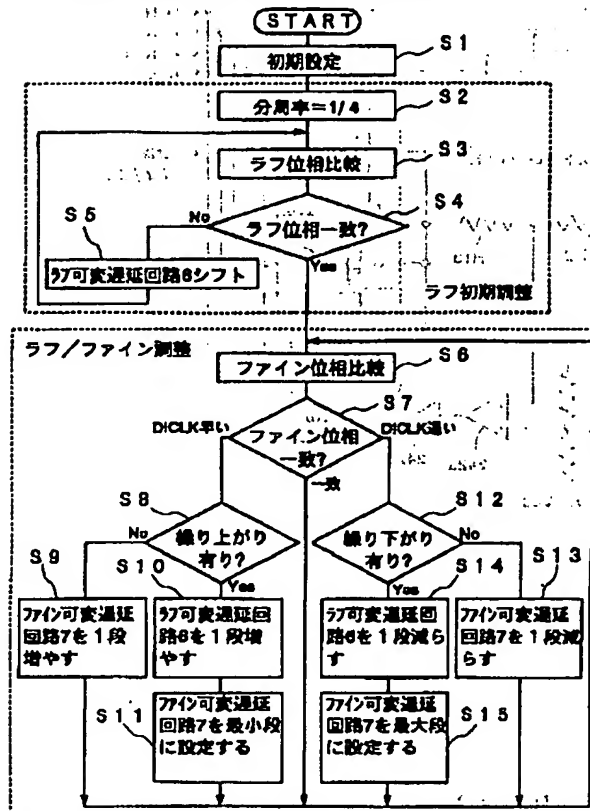


【図72】



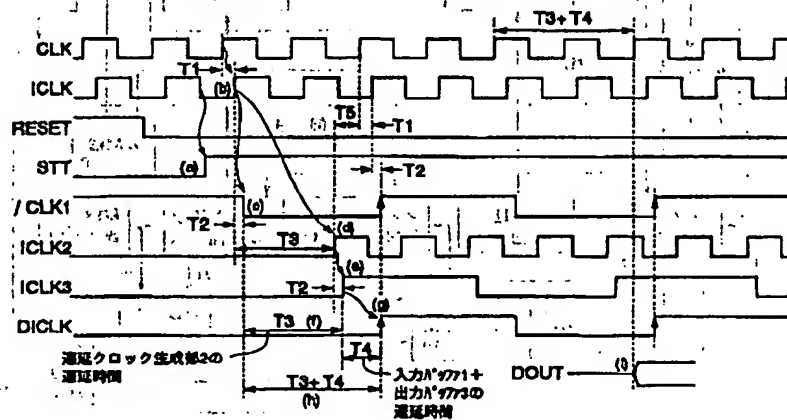
【図73】

従来のクロック信号の位相調整の制御を示すフローチャート



【図74】

従来の位相調整時の主要な信号を示すタイミング図



フロントページの続き

Fターム(参考) 5B079 BC03 CC02 CC14 DD06 DD13
5F038 AV13 AV15 BE07 BH19 CD06
CD08 CD09 DF05 DF07 DF08
EZ20
5J001 AA04 AA05 BB00 BB03 BB08
BB09 BB10 BB11 BB12 BB13
BB14 BB15 BB17 BB21 BB23
BB24 BB25 CC00 DD06 DD09
5J106 AA03 CC21 CC52 CC59 DD08
DD09 DD24 DD42 DD43 DD48
KK03 KK05 KK25 KK32